tijdschrift van het

nederlands elektronica- en radiogenootschap

deel 57 nr. 2 1992

nederlands elektronica- en radiogenootschap

Nederlands Elektronica- en Radiogenootschap
Postbus 39, 2260 AA Leidschendam. Gironummer 94746
t.n.v. Penningmeester NERG, Leidschendam.

HET GENOOTSCHAP

De vereniging stelt zich ten doel het wetenschappelijk onderzoek op het gebied van de elektronica en de informatietransmissie en -verwerking te bevorderen en de verbreiding en toepassing van de verworven kennis te stimuleren.

Het genootschap is lid van de Convention of National Societies of Electrical Engineers of Western Europe (Eurel).

BESTUUR

LIDMAATSCHAP

Voor lidmaatschap wende men zich tot de secretaris.
Het lidmaatschap staat open voor academisch gegradueerden en hen, wier kennis of ervaring naar het oordeel van het bestuur een vruchtbaar lidmaatschap mogelijk maakt. De contributie bedraagt *f* 60,– per jaar.

Studenten aan universiteiten en hogescholen komen bij gevorderde studie in aanmerking voor een junior-lidmaatschap, waarbij 50% reductie wordt verleend op de contributie. Op aanvraag kan deze reductie ook aan anderen worden verleend.

HET TIJDSCHRIFT

Het tijdschrift verschijnt zesmaal per jaar. Opgenomen worden artikelen op het gebied van de elektronica en van de telecommunicatie.

Auteurs die publicatie van hun wetenschappelijk werk in het tijdschrift wensen, wordt verzocht in een vroeg stadium contact op te nemen met de voorzitter van de redactiecommissie.

De teksten moeten, getypt op door de redactie verstrekte tekstbladen, geheel persklaar voor de offsetdruk worden ingezonden.

De abonnementsprijs van het tijdschrift bedraagt *f* 60,–. Aan leden wordt het tijdschrift kosteloos toegestuurd.

Tarieven en verdere inlichtingen over advertenties worden op aanvrage verstrekt door de voorzitter van de redactiecommissie.

REDACTIECOMMISSIE

ONDERWIJSCOMMISSIE

B-ISDN: Het breedband-netwerk voor geïntegreerde diensten

Ir. M.J.G. Dirksen
PTT Research

SAMENVATTING

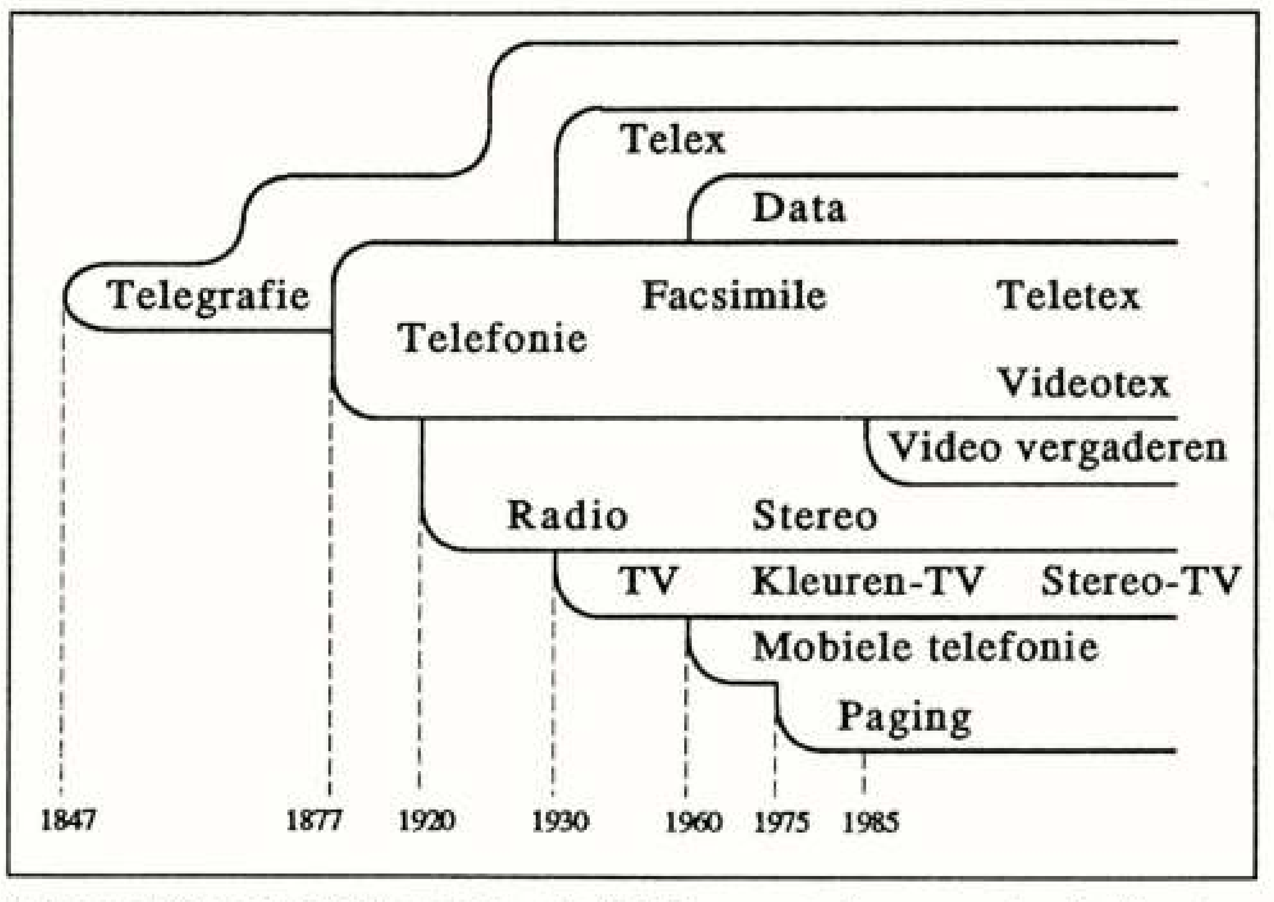
B-ISDN: The broadband network for integrated services

Nowadays each telecommunication service has its own network. However, new services begin to emerge which have properties not supported by existing networks. An alternative for building or adapting existing dedicated networks is to design a new all-purpose network, the Broadband ISDN. Th' ,keyword of B-ISDN is flexibility. The network should be flexible to allow the integration of all kinds of services using one set of switching and transmission means and one type of network management. Due to its flexibility ATM, the asynchronous transfer mode, is the selected transport mechanism for such a B-ISDN. Based on the evolution of services the necessity of a Broadband ISDN is shown. Then, a general overview is given of the properties of ATM.

---

1. Ontwikkeling van diensten

De eerste openbare telecommunicatiedienst in Nederland was de telegrafie. Deze dienst werd in 1847 in Amsterdam geïntroduceerd door Eduard Wenckenbach. Sindsdien is het aantal telecommunicatiediensten niet alleen toegenomen, maar ook de snelheid waarmee ze zijn geïntroduceerd is toegenomen. Figuur 1 laat de opkomst en ontwikkeling van een aantal telecommunicatiediensten in Nederland zien. In 1876 vond Alexander Graham Bell de telefoon uit, die in 1877 in Nederland onder de naam 'klanktelegraaf' werd ingevoerd. Tot op heden is de telefoon één van de meest succesvolle telecommunicatiediensten zonder dat er aan het principe veel veranderd is. Naast deze communicatieve telecommunicatiediensten kwamen ook de distributieve telecommunicatiediensten opzetten. Voorbeelden hiervan zijn de radio en televisie distributie. Met de groei van de automatisering nam ook de noodzaak voor communicatie tussen computers toe. Inmiddels is computercommunicatie één van de snelst groeiende telecommunicatiediensten. Een geheel andere tak van telecommunicatiediensten is mobiele communicatie in de vorm van semafonie en autotelefonie.



Figuur 1: Geschiedenis van de ontwikkeling van telecommunicatiediensten.

Ook voor deze vorm van communicatie wordt een sterke groei verwacht. Het aantal telecommunicatiediensten zal in de toekomst nog toenemen.

Tot op heden heeft iedere dienst zijn eigen netwerk. Het telefoonnet voor spraak, datanet voor computerverkeer, kabelnet voor TV distributie en autotelefoonnetten voor mobiele communicatie. De reden dat iedere dienst zijn eigen netwerk heeft komt door de verschillende eigenschappen van diensten. Een aantal eigenschappen plus voorbeelden van diensten is weergegeven in Figuur 2. Hieruit blijkt dat diensten veel eigenschappen bezitten.

Eigenschappen	Voorbeelden
distributief — communicatief	radio — telefoon
breedband — smalband	televisie — telefoon
"bursty" — continu	data — telefoon
verbindingen — geen verb.	telefoon — e-mail
punt-punt — punt-multipunt	telefoon — video verg.
mobiel — niet mobiel	auto-telefoon — telefoon
unidirec. — bidirectioneel	televisie — telefoon
asymmetrisch — symmetrisch	fax — telefoon

Figuur 2: Eigenschappen die diensten bezitten.

De netwerken die deze diensten leveren zijn speciaal ontworpen voor die eigenschappen.

Langzaam maar zeker komen er echter diensten die niet meer zo mooi in één van de huidige netten passen. Vanuit het bedrijfsleven groeit de vraag naar hogere snelheden: 10 Mbit/s, 34 Mbit/s en zelfs 140 Mbit/s. Een van de belangrijkste toepassingen is het verbinden van local area networks via het openbare net. Op deze manier zijn applicaties mogelijk als remote CAD/CAM, distributed processing en high speed file transfer.

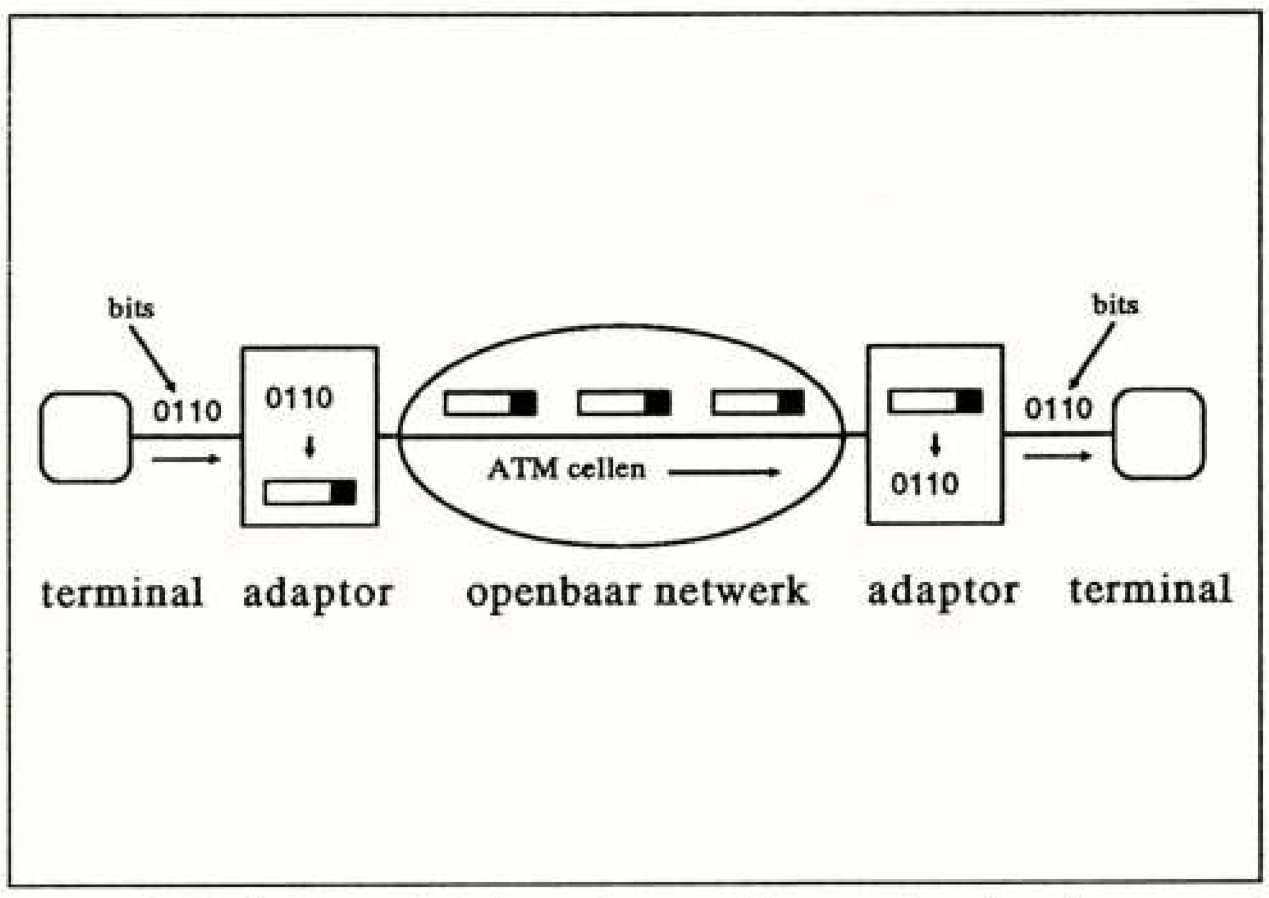
Voorbeelden van andere nieuwe diensten zijn video vergaderen, high-speed kleurenfaxen, multimedia databases en dergelijke. Voor de consument lijkt een grote trekker voor breedbanddiensten videotoepassingen te zijn zoals Pay TV, abonnee TV, tele-winkelen, tele-werken en interactieve tele-educatie.

Uit voorgaande blijkt dat niet alleen het aantal diensten nog steeds toeneemt, maar ook de snelheid waarmee diensten elkaar opvolgen. Het moge duidelijk zijn dat niet steeds voor iedere nieuwe dienst een nieuw apart netwerk neergelegd kan worden. Dan blijven nog twee alternatieven over: aanpassen van bestaande netten of proberen een universeel netwerk te ontwikkelen die geschikt is voor alle diensten. Iedere keer upgraden van het netwerk om een nieuwe dienst te kunnen bieden (met behoud van de bestaande diensten in dat net) leidt tot zeer complexe, logge en moeilijk bestuurbare netwerken. Beter is om de ontwikkeling van diensten voor te zijn en een netwerk proberen te bouwen dat 'op alles is voorbereid'. Bovendien heeft dit voor de netwerkbeheerder als voordelen dat slechts één set van schakel- en transmissiemiddelen en één netwerkbeheer nodig is.

Ideaal gezien zou een dergelijk netwerk alle voorgenoemde eigenschappen moeten verenigen zodat alle diensten door dit netwerk geleverd kan worden. Wil het netwerk bovendien toekomstvast zijn, dan zullen nieuwe, nog te verzinnen, diensten op eenvoudige manier opgenomen moeten kunnen worden in het netwerk. Een dergelijk netwerk wordt een *Broadband Integrated Services Digital Network* (B-ISDN) genoemd. Het zal duidelijk zijn dat een netwerk dat huidige en toekomstige diensten integreert zeer flexibel zal moeten zijn. De informatie overdrachtstechniek die voor een B-ISDN gebruikt wordt zal dan ook zeer flexibel moeten zijn. In 1983 stelde Coudreuse [1] van CNET (Centre National d'Études des Télécommunications) en Turner [2] van AT&T het asynchrone time division concept voor wat zou ontwikkelen naar de huidige *Asynchronous Transfer Mode* (ATM). Reeds in 1988 is ATM al door CCITT voorgedragen als de 'target transfer mode' voor de B-ISDN [3]. In 1992 worden de aanbevelingen voor B-ISDN en ATM voltooid.

2. De Asynchronous Transfer Mode

ATM staat voor 'asynchronous transfer mode' en is een asynchrone, connection oriented, fast packet switching techniek dat gebruikt maakt van statistisch multiplexen. De flexibiliteit van ATM uit zich in het feit dat gebruikers op vrijwel iedere bit snelheid (tot aan de link rate) en als gevolg daarvan ook op iedere variabele bit snelheid informatie kunnen versturen. Het basis idee achter ATM is dat informatie van verschillende randapparatuur op uniforme wijze door het netwerk wordt verstuurd door middel van pakketjes van vaste lengte, die cellen worden genoemd, zie Figuur 3.



Figuur 3: In ATM wordt informatie op uniforme wijze door het netwerk getransporteerd.

Een cel is 53 octetten (bytes) groot en bestaat uit een header van 5 octetten en een informatieveld van 48 octetten [4]. De bits van het gedigitaliseerde informatiesignaal worden verzameld tot een cel gevuld is. Vervolgens wordt de cel door het netwerk getransporteerd en bij de bestemming worden de bits weer uitgepakt en aan het randapparaat aangeboden. Voor het netwerk maakt het dan niet uit of de bits in een cel een stukje spraak, audio, computerdata of video bevat.

2.1 De transmissiesnelheid

Voor een breedband netwerk is een hoge transmissiesnelheid vereist. Een ATM netwerk is opgebouwd door middel van glasvezels. Hierdoor zijn zeer hoge transmissiesnelheden mogelijk. Door de betrouwbaarheid van glasvezel is geen error en flow control in het netwerk noodzakelijk. Hierdoor wordt de verwerkingstijd in de schakelcentrales verminderd wat de snelheid weer ten goede komt. CCITT [5] standaardiseert een snelheid van 155.52 Mbit/s en een die vier keer hoger ligt, 622.08 Mbit/s. ATM werkt echter in principe met elke transmissiesnelheid en verschillende delen van het netwerk kunnen met andere transmissiesnelheden werken. Zo kan een toegang tot het netwerk bijvoorbeeld 34 Mbit/s zijn, terwijl in het netwerk zelf snelheden voorkomen van 2.4 Gbit/s.

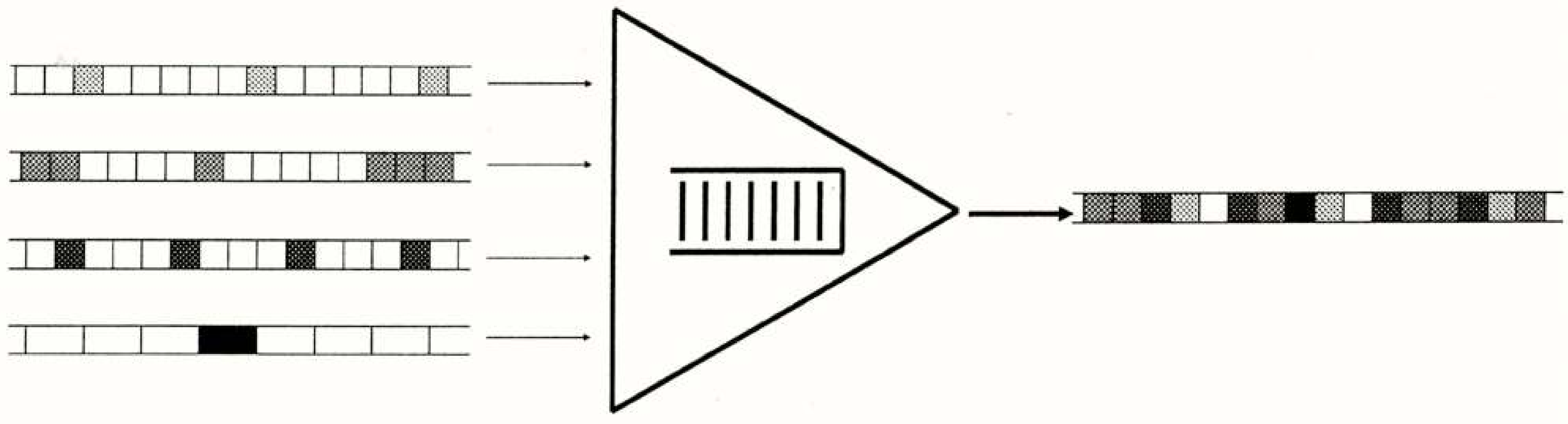
2.2 De informatiesnelheid

Wil het B-ISDN elke dienst aankunnen, dan zal het B-ISDN in staat moeten zijn elke informatiesnelheid te kunnen transporteren. Iedere dienst stelt zijn eigen eisen aan het netwerk. Sommige diensten, zoals spraak, nemen genoegen met lage bit snelheden, andere eisen zeer hoge snelheden, bijvoorbeeld video toepassingen. Dataverkeer kan in principe elke bitsnelheid eisen, afhankelijk van de toepassing. Bovendien kan een informatiestroom continu zijn zoals in circuitgeschakelde spraakverbindingen, stapsgewijs van bit snelheid springen zoals in dataverkeer of zelfs continu in tijd variëren zoals bij sommige videocodecs. ATM kan voor elke dienst de vereiste servicekwaliteit leveren [6]. ATM biedt de mogelijkheid om informatie op elke gewenste snelheid te versturen en als een gevolg daarvan op elk gewenste variërende snelheid. Dit is te danken aan het asynchrone karakter van ATM: niet het netwerk maar de gebruiker bepaalt wanneer informatie verzonden wordt. In synchrone netwerken deelt het netwerk periodiek een slot uit aan een gebruiker die deze al dan niet kan vullen met informatie. Op deze manier ligt de gebruiker vast aan bepaalde snelheden en wordt de bandbreedte bovendien bij burstachtig verkeer niet efficiënt benut. In ATM bepaalt de gebruiker zelf wanneer hij cellen met informatie verstuurt en vult tijdsloten naar behoefte: Wil hij op een lage snelheid communiceren dan verstuurt hij weinig cellen per tijdseenheid, voor hoge snelheden stuurt hij meer cellen per tijdseenheid. Op deze manier kan een gebruiker ook op een variërende bit snelheden zenden door een verschillend aantal cellen per tijdseenheid te zenden.

3. Multiplexen in ATM

Het voordeel van ATM boven synchrone technieken is niet alleen dat in principe iedere bitsnelheid ondersteund wordt, maar ook dat de links in het netwerk onderling niet synchroon hoeven te lopen, dat de transmissiesnelheden van links mogen verschillen. Een en ander is te zien in Figuur 4 waar een viertal verbindingen worden gemultiplexed op één link. De gebruikers versturen cellen naar eigen inzicht: De cellen kunnen op iedere konstante snelheid worden verstuurd (link 1 en 3) of onregelmatig (link 2). Link 4 heeft een transmissiesnelheid die lager is dan de overige drie links. Bovendien laten de links 1, 2 en 3 zien dat de tijdsloten niet synchroon bij de multiplexer hoeven aan te komen. Omdat iedere gebruiker cellen kan versturen naar eigen goeddunken kan het voorkomen dat meerdere cellen tegelijk bij een multiplexer aankomen. Daar slechts één cel per slot de multiplexer kan verlaten is in de multiplexer een buffer noodzakelijk om de overige cellen tijdelijk op te slaan. De buffers zijn alleen bedoeld om de toevallige simultane cel aankomsten op te vangen en *niet* om volledige bursts op te vangen zoals in X.25.

Sommige diensten verzenden hun informatie in bursts, bijvoorbeeld computerverkeer kenmerkt zich door korte activiteit afgewisseld met periodes van stilte. In synchrone netwerken wordt bandbreedte gereserveerd voor de maximale snelheid waarmee informatie verstuurd wordt. Er wordt dus op de pieksnelheid bandbreedte gereserveerd, terwijl slechts korte tijd van de bandbreedte gebruik gemaakt wordt. Andere verbindingen kunnen geen gebruik maken van de ongebruikte capaciteit. In ATM kan dat anders. Ook in ATM kan natuurlijk op pieksnelheid bandbreedte gereserveerd



Figuur 4: Asynchrone multiplexen in een ATM netwerk.

worden, maar daar geen vaste tijdsloten aan verbindingen toegekend zijn, kan ongebruikte bandbreedte door andere verbindingen gebruikt worden. Op deze manier kan *minder* bandbreedte per verbinding gereserveerd worden dan de piekbandbreedte. Er kunnen dus meer verbindingen toegelaten worden dan de som van de pieksnelheden zou toelaten. Dit heet *statistisch multiplexen* [7]. Het gevaar bestaat echter dat teveel gebruikers tegelijk zenden, zodat de link capaciteit overschreden wordt. Er treedt congestie op en er gaan cellen met informatie verloren. Het is aan de netwerkbeheerder om te bepalen hoeveel verbindingen kunnen staan zodanig dat de kans op congestie nog acceptabel klein blijft.

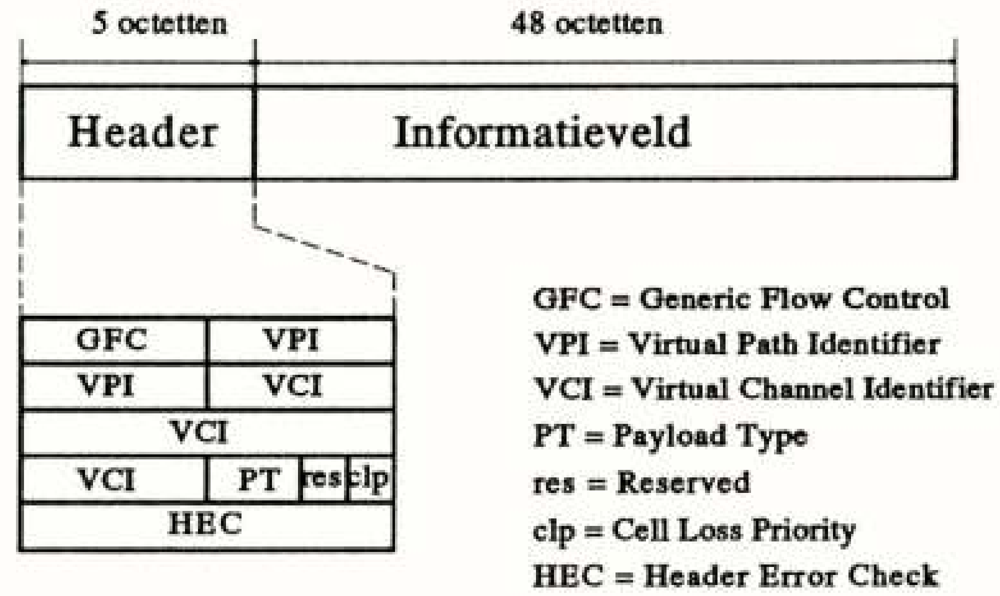
4. Het vermijden van congestie

In huidige pakket geschakelde netwerken wordt congestie in de hand gehouden met behulp van flow control door 'sliding-window' mechanismen en 'acknowledgements'. Door de hoge transmissiesnelheden in ATM lukt dit niet: voor een congestie-bericht bij de bron aangekomen is kan deze al verscheidene megabits aan informatie het netwerk ingestuurd hebben. Anderzijds kan het congestie probleem al lang opgelost zijn voor de bron op de hoogte is gesteld. Daarom wordt in ATM gekozen voor *preventieve* congestie control: Er worden alleen nieuwe verbindingen toegelaten als de kans dat congestie optreedt voldoende klein is. Voor een nieuwe verbinding wordt toegelaten moet het netwerk eerst enig idee hebben hoe de verbinding eruit ziet [8]. Daarom moet de gebruiker eerst de karakteristieken van de verbinding (gemiddelde snelheid, pieksnelheid, etc.) opgeven. Aan de hand daarvan bepaalt het netwerk of er nog voldoende capaciteit in het netwerk is om de opgegeven verbinding toe te staan zonder dat de kans op congestie onaanvaardbaar wordt. Als de gebruiker en het netwerk eens zijn over de verkeersparameters, dan worden deze vastgelegd in een *verkeerscontract.*

Zodra een verbinding is toegewezen aan een gebruiker, is deze vrij om cellen te versturen. Zo kan een gebruiker, al dan niet opzettelijk, op een hogere snelheid informatie versturen dan afgesproken in het verkeerscontract. Voor dat de cellen toegelaten worden tot het netwerk passeren ze daarom eerst een politie-funktie (policing) die controleert of de gebruiker zich nog wel aan het verkeerscontract houdt [9, 10]. Zolang de informatiestroom binnen het contract valt passeren de cellen de politie-funktie en worden door het netwerk naar de bestemming getransporteerd. Zodra de politie-funktie detecteert dat de informatiestroom de opgegeven parameters in het verkeerscontract overschrijdt, wordt aktie ondernomen. In het meest eenvoudige geval worden die cellen gewoon weggegooid. Op die manier is gegarandeerd dat alle informatiestromen in het netwerk overeenkomen met de opgegeven verkeerscontracten. Bij het beslissen van het toestaan van een nieuwe verbinding van het 'worst case' verkeer dat door de politie-funktie tot het netwerk wordt toegelaten. Zo kan congestie in de hand worden gehouden.

5. De routering

Voordat ingegaan kan worden hoe cellen van een verbinding bij hun bestemming aankomen, dient eerst de celstructuur besproken te worden. Een ATM cel is 53 octetten groot en bestaat uit een header van 5 octetten en een informatieveld van 48 octetten, zie Figuur 5. In het informatieveld bevindt zich de gebruikersinformatie of netwerk gerelateerde informatie. Omdat in ATM het netwerk geen tijdsloten aan gebruikers uitdeelt, kan het netwerk niet aan de hand van een tijdmechanisme bepalen welke informatie bij welke verbinding hoort. In ATM worden cellen geïdentificeerd door middel van een label in de celheader. Het label bestaat uit de 'Virtual Path Identifier' (VPI) en 'Virtual Channel Identifier' (VCI) velden. In de paragrafen over het virtueel kanaal en virtueel pad concept worden deze velden nader besproken. Het 'Generic Flow Control' veld bestaat alleen op de interface tussen de gebruiker en het netwerk. Het GFC veld helpt de gebruiker met het managen van de ATM celstromen op zijn privé-domein en de toegang tot het openbare netwerk. In het netwerk zelf wordt het GFC veld gebruikt als VPI veld. Vervolgens bevat de celheader nog een twee



Figuur 5: De ATM celheader op de User Network Interface.

bits 'Payload Type' veld dat aangeeft wat voor soort informatie in het informatieveld staat: gebruikersinformatie of netwerkinformatie. Verder is er nog een 'Reserved' bit voor later gebruik en een 'Cell Loss Priority' bit aanwezig waarmee onderscheid gemaakt kan worden tussen twee niveaus van cel verlies. Tot slot is een 'Header Error Code' veld aanwezig dat bitfouten in de header detecteert en corrigeert.

5.1 Het virtueel kanaal concept

Wanneer een gebruiker een verbinding wil opzetten in een ATM netwerk wordt een pad gezocht door het netwerk. Gedurende de hele verbinding zullen de cellen via dit pad getransporteerd worden, zie Figuur 6. Hierbij wordt de cel volgorde bewaard: De cellen komen in dezelfde volgorde aan als ze verstuurd zijn. Op iedere link wordt aan de verbinding een virtueel kanaal toegewezen. Een virtueel kanaal is niets anders dan een nummer dat wordt opgeslagen in het VCI veld van de cel header. Op iedere link kan de verbinding een andere VCI hebben en bij iedere nieuwe verbinding kunnen nieuwe VCIs worden uitgedeeld. Cellen behorende bij dezelfde verbinding hebben op een link dezelfde VCI. In de schakelcentrales bevinden zich tabellen waarin per verbinding de VCI van de binnenkomende cellen, de nieuwe VCI voor de cellen en de juiste uitgaande lijn ligt opgeslagen. Als een cel bij een schakelcentrale aankomt, dan kijkt de centrale in de header van die cel en leest het VCI. Vervolgens wordt in de tabel gekeken naar welke uitgaande link de cel gerouteerd moet worden en wat de nieuwe VCI van die cel wordt. De schakelcentrale heeft dus geen weet van het bronadres of bestemmingsadres. Hierdoor kan het routeren volledig in hardware gebeuren wat de snelheid aanzienlijk verhoogt.

5.2 Het virtueel pad concept

Een schakelcentrale moet dus van iedere cel de VCI in de celheader lezen, de bijbehorende uitgaande link en nieuwe VCI opzoeken in de tabel, de cel naar de juiste uitgaande link routeren en de nieuwe VCI in de celheader zetten. Om dit proces te vereenvoudigen is het virtueel pad concept bedacht [11, 12]. Een virtueel pad (VP) is een semi-permanente route door het netwerk over meerder links, zie Figuur 7. Cellen van een verbinding die door een virtueel pad lopen hebben eenzelfde virtueel pad identifier (VPI) in de header. Cellen in een VP doorlopen het hele VP en komen er aan het eind pas uit. Op alle links waarover het VP zich uitstrekt verandert de VCI in principe niet. Op deze manier wordt de processing overhead in de schakelcentrale aanzienlijk vereenvoudigd. Omdat de route van een VP vastligt kan deze in de centrale hard-wired zijn. Zodra de centrale de VPI gelezen heeft, routeert hij de cel zonder verdere conversies naar de juiste uitgaande link.

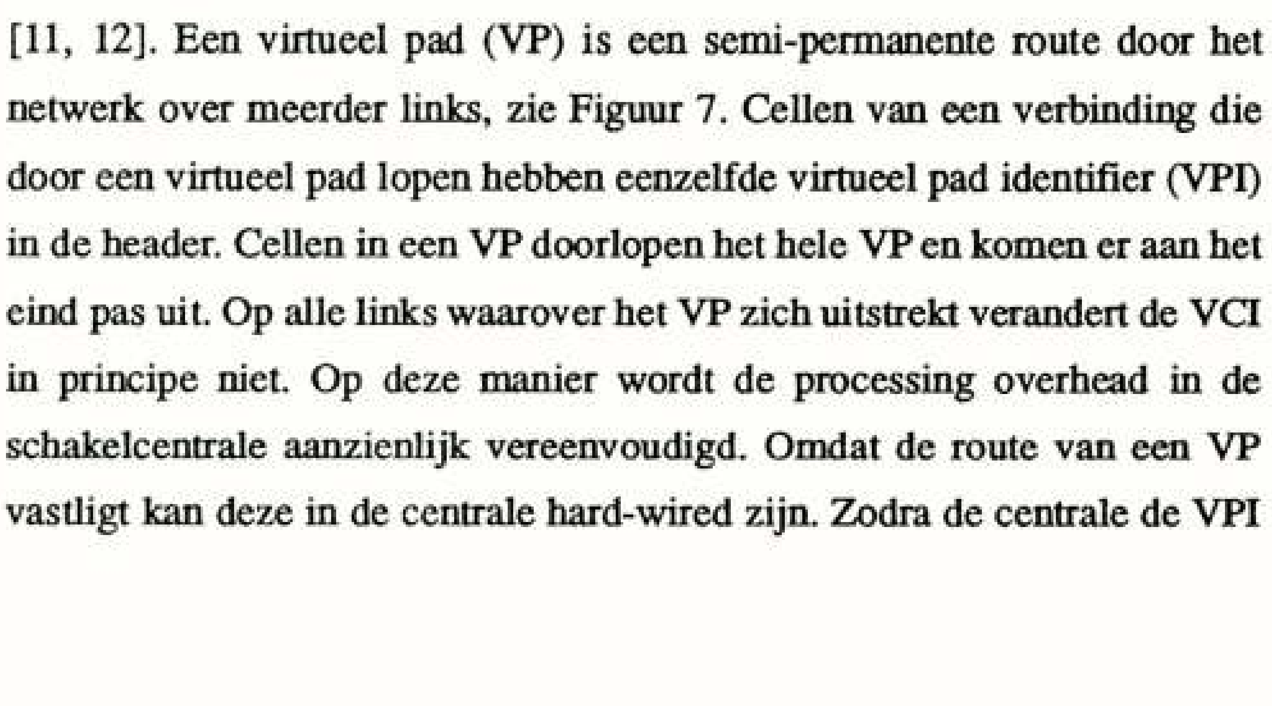
Omdat een groot aantal verbindingen, ieder via hun eigen VCs, van dezelfde VP gebruik kunnen maken, kunnen VPs gebruikt worden als concentratiebundels voor routes waar een groot verkeersaanbod verwacht wordt. Zo kan bijvoorbeeld een VP van Den Haag via Utrecht en Zwolle naar Groningen worden gelegd. Verbindingen tussen Den Haag en Groningen verlopen dan via dit VP. Pas de centrale in Groningen hoeft naar het VCI te kijken om de cellen naar de juiste lokale centrale en de bestemming te brengen. De centrales in Utrecht en Zwolle geven de cellen in dit VP alleen maar (hard-wired) door.

Een andere toepassing voor VPs zijn de zogenaamde *virtual private networks* (VPN). Een VPN is een privé netwerk over het openbare netwerk. Een VPN kan op eenvoudige wijze gemaakt worden door VPs te leggen tussen vestigingen van een bedrijf dat een VPN wil hebben. Doordat alleen die vestigingen toe te staan van die VPs gebruik te maken, worden zij afgeschermd van de rest van het openbare netwerk. Door aan VPs een hoeveelheid bandbreedte toe te kennen is een bepaalde capaciteit gegarandeerd. Op eenzelfde wijze kan men door middel van VPs eenvoudig huurlijnen aanleggen.

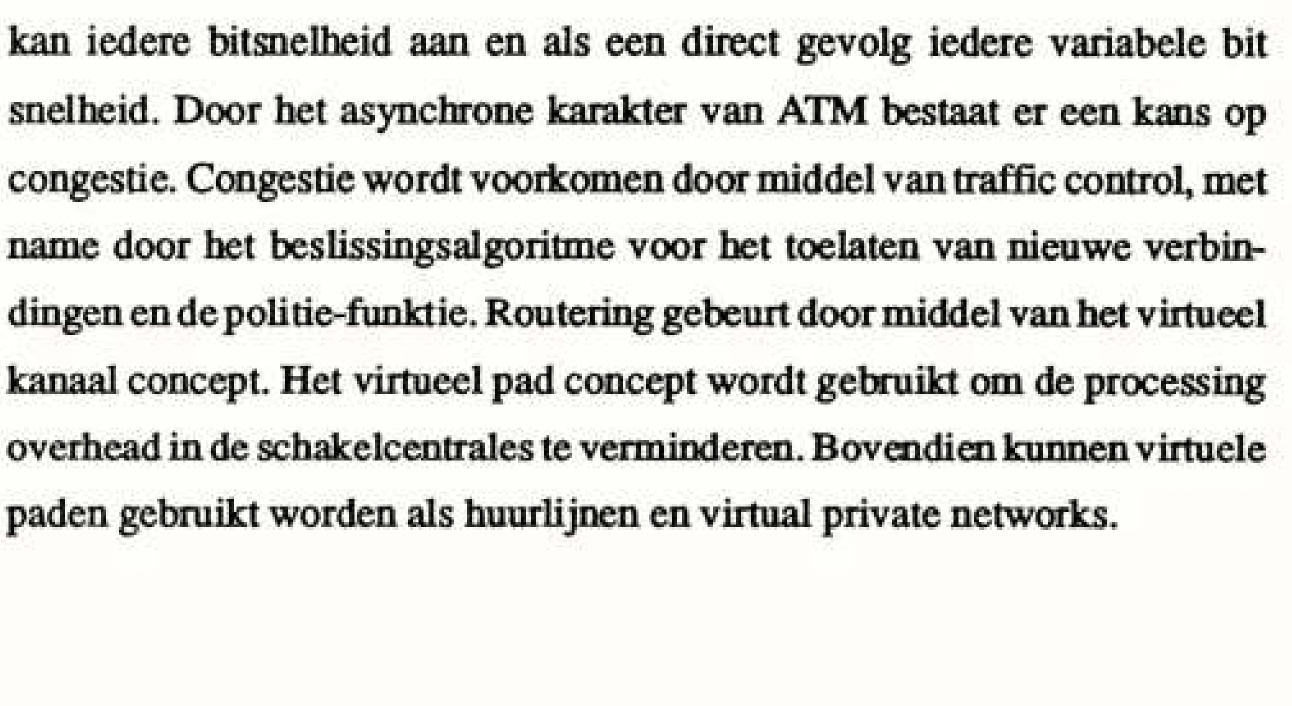
6. Conclusie

Op dit moment heeft iedere dienst zijn eigen netwerk. Er is een opkomst en groei van diensten met eigenschappen die niet meer zo mooi in een huidig netwerk passen. Nieuwe netwerken bouwen voor nieuwe diensten is niet meer haalbaar. Aanpassen van bestaande netten voor nieuwe diensten maakt de netwerken complex en onoverzichtelijk. Het alternatief is het bouwen van een nieuw algemeen netwerk geschikt voor de huidige diensten en in staat om nieuwe diensten op eenvoudige wijze op te nemen. Een dergelijk alomvattend netwerk wordt een Breedband-ISDN genoemd.

ATM, door de CCITT gekozen als dé overdrachtstechniek voor een Breedband-ISDN, is in staat om de vereiste flexibiliteit te leveren. ATM kan iedere bitsnelheid aan en als een direct gevolg iedere variabele bit snelheid. Door het asynchrone karakter van ATM bestaat er een kans op congestie. Congestie wordt voorkomen door middel van traffic control, met name door het beslissingsalgoritme voor het toelaten van nieuwe verbindingen en de politie-funktie. Routering gebeurt door middel van het virtueel kanaal concept. Het virtueel pad concept wordt gebruikt om de processing overhead in de schakelcentrales te verminderen. Bovendien kunnen virtuele paden gebruikt worden als huurlijnen en virtual private networks.



Figuur 6: Het virtueel kanaal concept.



Figuur 7: Het virtueel pad concept in ATM.

Referenties

[1] J.P. Coudreuse: *"Les Réseaux Temporels Asynchrones: du Transfert de Données à l'Image Animée"*, l'Écho des Recherches, No. 112, 2e Trimestre 1983, pp. 33-48.

[2] J.S. Turner, L.F. Wyatt: *"A Packet Network Architecture for Integrated Services"*, Proceedings of Globecom'83, pp. 45-50.

[3] CCITT Recommendation I.121: *"Broadband Aspects of ISDN"*.

[4] S. Parekh and K. Sohraby: *"Some Performance Trade-offs Associated with ATM Fixed-Length vs. Variable-Length Cell Formats"*, Proceedings Globecom'88, pp. 1282-1287.

[5] CCITT Recommendation I.432: *"BISDN User-Network Interface - Physical Layer Specification"*.

[6] M.E. Anagnostou et.al.: *"Quality of Service Requirements in ATMBased B-ISDNs"*, Computer Communications, vol. 14, no. 4, May 1991, pp. 197-204.

[7] H. Saito, et.al.: *"An Analysis of Statistical Multiplexing in an ATM Transport Network"*, IEEE J. Selected Areas in Commun., SAC-9, no. 3, 1991, pp. 359-367.

[8] C. Rasmassen, et.al.: *"Source-Independant Call Acceptance Procedure in ATM Networks"*, IEEE J. Selected Areas in Commun., SAC-9, no. 3, 1991, pp. 437-446.

[9] E.P. Rathgeb: *"Modeling and Performance Comparison of Policing Mechanisms for ATM Networks"*, IEEE J. Selected Areas in Commun., SAC-9, no. 3, 1991, pp. 325-334.

[10] L. Dittman, et.al.: *"Flow Enforcement Algorithms for ATM Networks"*, IEEE J. Selected Areas in Commun., SAC-9, no. 3, 1991, 343-350.

[11] H. Obora et.al.: *"An ATM Cross-Connect System for Broadband Transport Networks Based on Virtual Path Concept"*, Proceedings ICC'90, paper 318.5, pp. 839-843.

[12] I. Tokizawa, K. Sato: *"Broadband Transport Techniques Based on Virtual Paths"*, Proceedings Globecom'90, paper 705B.4, pp. 1269-1273.

Voordracht gehouden tijdens de 391e werkvergadering.

AUDIO ENGINEERING SOCIETY
NEDERLANDS ELEKTRONICA- EN RADIOGENOOTSCHAP
THE INSTITUTION OF ELECTRICAL AND ELECTRONICS ENGINEERS
BENELUX SECTION
391e werkvergadering

UITNODIGING voor de lezingen- en demonstratieavond op donderdag 21 november 1991 in het Dr. Neher Laboratorium, PTT Research, St. Paulusstraat 4, Leidschendam.

THEMA: ONTWIKKELING IN AUDIO EN VIDEO

De lezingen op deze avond zijn algemeen van aard. Toepassingen en gevolgen voor audio en video worden sterker belicht.

PROGRAMMA:

19.30 - 19.45 uur : Ontvangst in het bedrijfsrestaurant

19.45 - 20.05 uur: **VIDEO PTT RESEARCH**

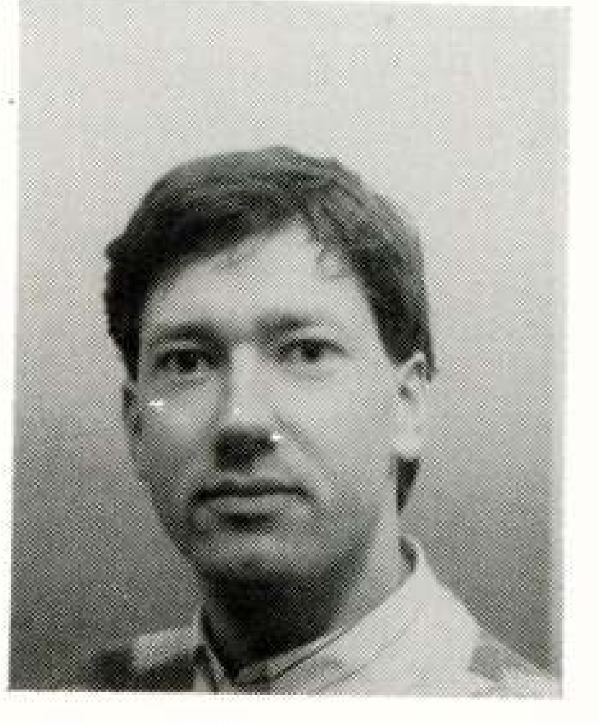
20.05 - 20.45 uur: B-ISDN
IR. M. J. G. DIRKSEN, PTT Research

20.45 - 21.10 uur: **PAUZE**

21.10 - 21.50 uur: Spraakherkenning
IR. J. P. M. HENDRIKS, PTT Research

21.50 - 22.30 uur: Audiocodering
DR. ING. J. G. BEERENDS, PTT Research

22.30 uur: **SLUITING**



M. J. G. DIRKSEN

Aanmelding voor deze avond dient te geschieden vóór 12 NOVEMBER aanstaande door middel van de aangehechte kaart, gefrankeerd met een postzegel van 60 cent.

Het aantal deelnemers is beperkt tot 120. Tijdstip van ontvangst van aanmelding is beslissend voor deelname. Als blijkt dat u wegens overtekening niet kunt deelnemen, ontvangt u hierover van ons bericht.

Gert Jan Vogelaar
Audio Engineering Society
Tel. 02155 - 23932

Soest, oktober 1991

A Performance-Driven Micro-Cell Compiler For CMOS Sea-Of-Gates Applications

R. Peset LLopis and H.G. Kerkhoff
MESA Research Institute
University of Twente

This paper presents a performance-driven micro-cell compiler, that takes performance specifications into account. This compiler is responsible for the generation of the layout of small logical cells (micro-cells) featuring the required performance in a CMOS sea-of-gates environment. First a description of the sea-of-gates environment will be given, followed by a definition of a micro-cell. The performance aspects of digital circuits and of the micro-cell compiler will be discussed next. The structure of the performance-driven micro-cell compiler will be given next. The three different parts of this compiler, the topology generator, the performance evaluator and the layout generator will be discussed. This paper finishes with some results and conclusions.

1. Introduction

With the growing integration of todays and future electronic circuits (more than a million transistors) and the increasing possibilities of technology, it is getting difficult to meet all specifications of an entire circuit. These specifications do not only consist of a logical description, but also of performance demands. An elegant way to meet these specifications is to use performance-driven circuit-generation techniques. A complete circuit is decomposed into blocks, which are divided into micro-cells. The global performance demands are translated, during this process, into performance specifications for each micro-cell. If the micro-cell compiler is able to generate all micro-cells within their specifications, then the complete circuit satisfies its demands. This paper describes the development of a performance-driven micro-cell compiler for CMOS sea-of-gates applications.

2. CMOS Sea-Of-Gates Arrays

A CMOS sea-of-gates array consists of an array of core-cells. A core-cell is the smallest repetitive element of this array, and consists of n- and p-transistors. The main property of sea-of-gates arrays is that the transistor array is equal for all circuits. It is therefore a semi-custom design environment. A manufacturer has a stock of previously processed wafers containing the unpersonalized sea-of-gates arrays. One of these wafers is used to process the required circuit. The effective production time equals the time needed to implement the metallization layers, which is shorter than processing all IC layers. This leads to short turn-around times, the first advantage of sea-of-gates arrays. The common transistor array reduces the total amount of personalized maskers, leading to a reduction of the processing costs. This is the second advantage of sea-of-gates arrays. A disadvantage of sea-of-gates arrays is that the performance is worse and more chip area is needed, in comparison with full-custom techniques.

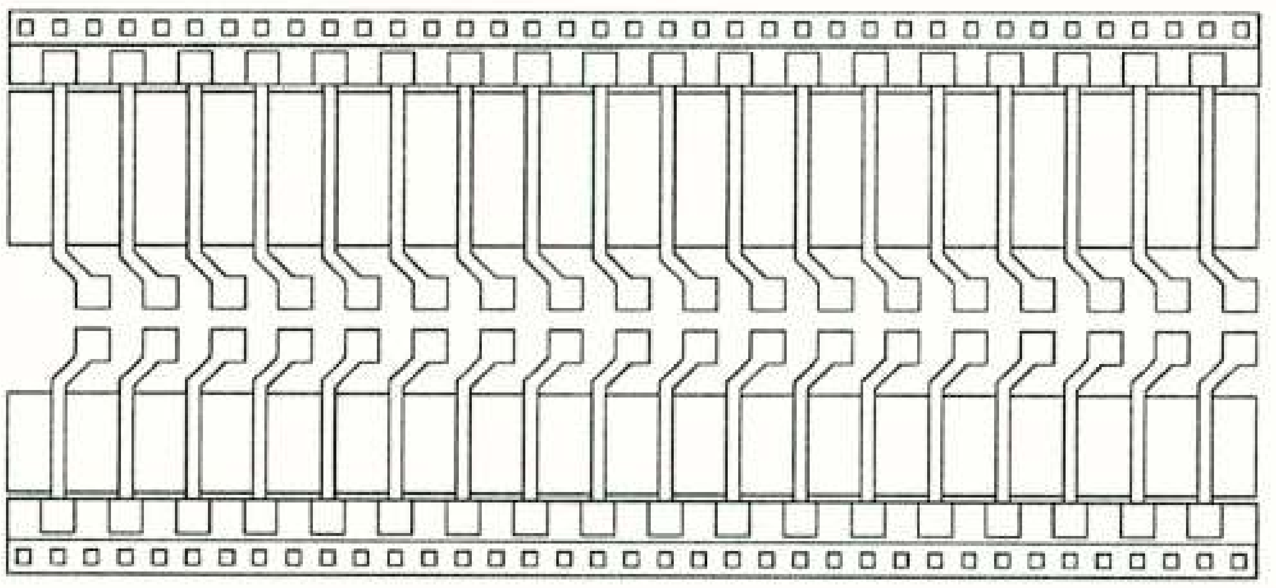


Figure 1. A sea-of-gates array.

Figure 1 shows a part of a transistor array [1]. A circuit is realized by generating the interconnect layers. Figure 2 shows an implementation of a full-adder on this sea-of-gates array.

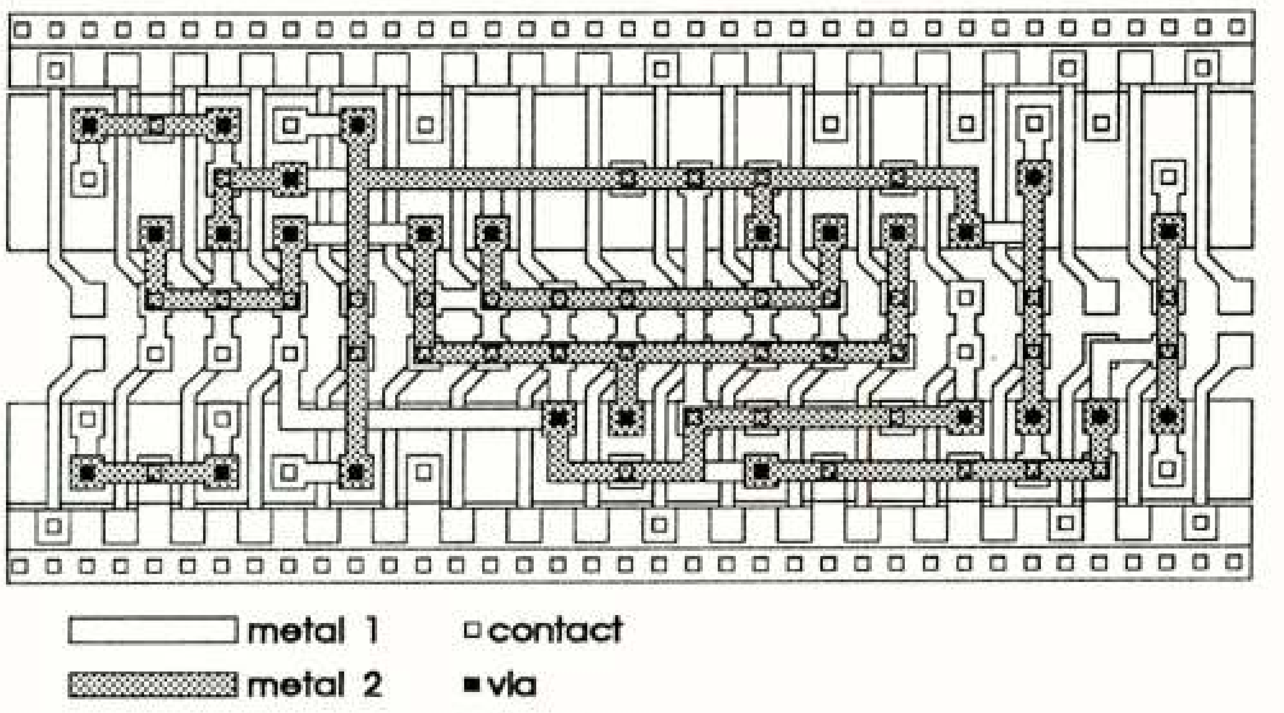


Figure 2. A realization of a full-adder.

3. Micro-Cell

A micro-cell is defined as a small CMOS logical cell, realized in this sea-of-gates environment. It consists of the fixed transistors of a sea-of-gates array and metal layers. The complexity of a micro-cell is arbitrarily limited to approximately the size of a full-adder (several tens of transistors).

4. Performance Aspects

The following four parameters are the most important performance aspects in many digital chip designs.

1) The maximum operational frequency.
2) The noise susceptibility.
3) The power dissipation.
4) The area.

These performance parameters and their impact on micro-cells will be discussed in sections 4.1 to 4.4.

4.1 Maximum Operational Frequency

The maximum operational frequency is strongly related to the maximum "data processing power" of a circuit. Doubling this frequency means that a circuit is able to carry out its task in only half of the time, or that it is able to process twice the amount of data in the same time. The maximum operational frequency of a circuit depends on the switching properties of its micro-cells; the propagation delay and the rise- and fall-times. The propagation delay is defined as the time difference between the input and the

output waveforms of a single micro-cell, measured at the $0.5*V_{dd}$ voltage level. Different propagation delay values exist for increasing and decreasing output waveforms, the rising propagation delay and the falling propagation delay. The rise- and fall-times are defined as the absolute time difference between the $0.1*V_{dd}$ and the $0.9*V_{dd}$ voltage levels. An increasing waveform is characterized by the rise-time and a decreasing waveform by the fall-time. The switching properties of a micro-cell are characterized by three parameters, the input rise-/fall-time, the propagation delay and the output rise-/fall-time, as shown in figure 3.

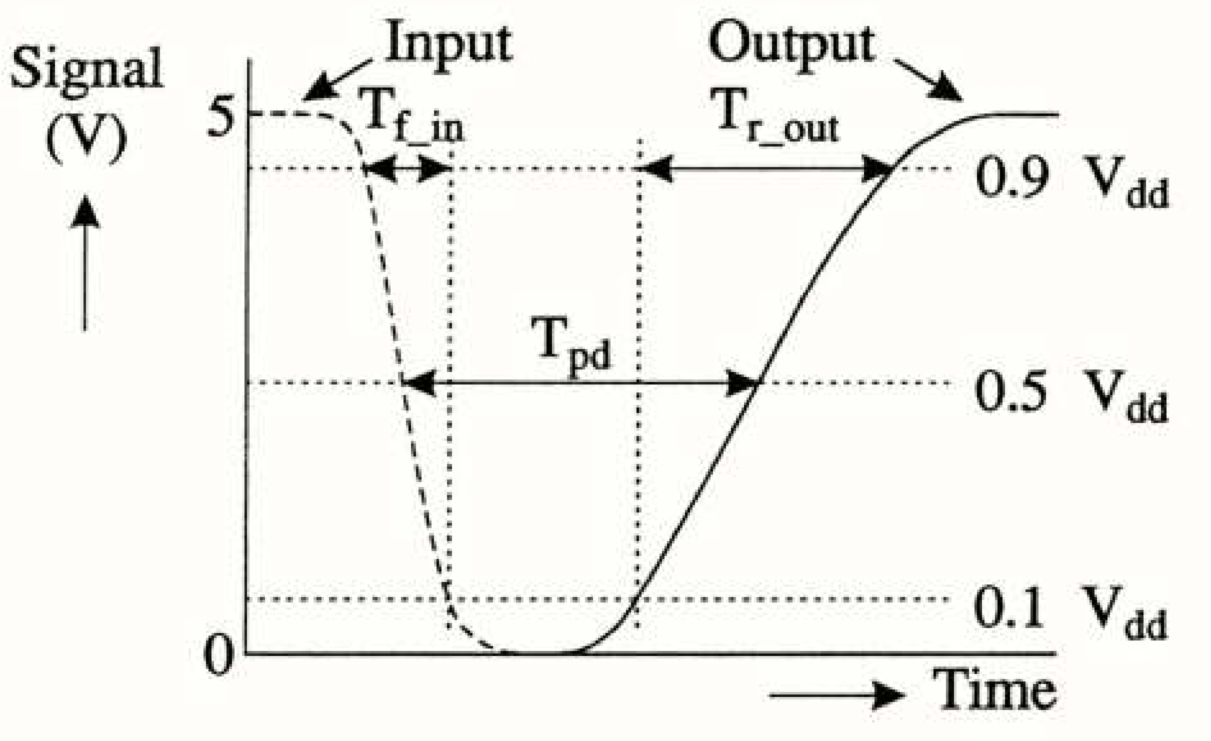


Figure 3. The propagation delay, rise- and fall-time definitions.

4.2 Noise Susceptibility

Noise is disturbance caused by e.g. α particles, cross-talk, voltage-supply ripple and thermal noise [2]. The noise margins permit to determine the allowable noise voltage on the input of a transistor gate so that the output will not be affected. The noise margins are closely related to the V_{in}-V_{out} voltage transfer characteristics. The lower noise margin is defined as the difference between the lower unity-gain point and the V_{ss} power-supply voltage. The upper noise margin as the difference between the upper unity-gain point and the V_{dd} power-supply voltage [3]. Figure 4 shows these definitions in the case of a CMOS circuit. NM_l stands for the lower noise margin and NM_h for the upper noise margin.

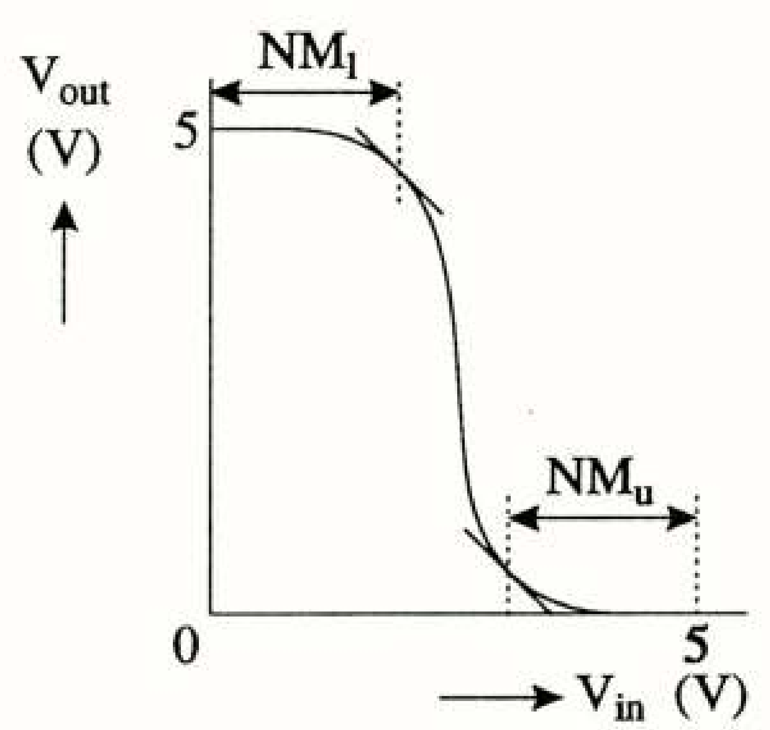


Figure 4. The definitions of the noise margins.

The noise margins should be chosen such that there is sufficient reserve to cope with the expected static and dynamic noise sources. Since the noise margins are often trade-off for the speed improvement of a micro-cell, a lower bound on the noise margins can be very useful to guarantee a certain degree of noise insusceptibility. A single bound is used for both the upper and lower noise margins.

4.3 Power Dissipation

It is of great importance to obtain a measure of the power dissipation of a circuit. The average power consumption can be of interest for battery-supplied applications, and the peak power consumption can be of importance for dimensioning the power-supply interconnections (e.g. bonding and supply wires) [4]. If a chip dissipates too much power, it either will become too hot (and will probably fail) or will need extra (expensive) cooling. Since the acceptable maximum power dissipation has often limited the scale of integration [5], circuit designers pay special attention to power dissipation optimization. The total power dissipation of a complete circuit is simply the sum of the power dissipation over all the micro-cells. Therefore an upper bound is used for power dissipation.

4.4 Area

The total area of a circuit is not only important because of the amount of silicon used, but also because it is related to the yield. Reference [3] shows that the yield decreases dramatically as the area of the chip is increased. The area of a micro-cell is therefore very important for the micro-cell compiler. E.g. a micro-cell can be optimized with an upper bound on the area. The total number of transistors used by a micro-cell gives a lower bound on the total area. This is caused by the straight relationship between the number of transistors and the area in a sea-of-gates environment. The used area can be however larger, due to the sacrifice of transistors for interconnection space [1]. This increase in area clearly depends on the sea-of-gates architecture. It will be small for architectures with large interconnection space, and large for architectures with small interconnection area, due to e.g. very small transistors.

4.5 Micro-Cell Performance Constraints

Sections 4.1 to 4.4 have described the translation of the most important performance aspects of digital chip designs into the level of the micro-cell compiler. This results in the following five performance parameters for a single micro-cell.

1) Propagation delay.
2) Output rise-/fall-times.
3) Power dissipation.
4) Upper and lower noise margins.
5) Area.

These performance parameters can be used as constraints for the performance-driven micro-cell compiler. There are two different types of constraints; bounded and unbounded constraints. The bounded constraints are used to optimize a micro-cell until a certain bound has been satisfied (e.g. a maximum propagation delay of 2 ns, or a maximum area of 1500 μm^2). The unbounded constraints are used to optimize a micro-cell until no further improvement can be achieved (e.g. optimize the propagation delay, or optimize the total power dissipation). The main problem of using only unbounded constraints is that the non-optimized performance parameters can worsen dramatically. Optimizing the propagation delay of a micro-cell, with an unbounded constraint, can result in an optimized cell with a too large area and power dissipation. In these cases it would have been more useful to stop the optimization process, when the non-optimized performance parameters reach a certain limit. This can be achieved by using both bounded and unbounded constraints for one performance optimization (e.g. optimizing the propagation delay with a maximum bound on the area).

5. Structure Of The Micro-Cell Compiler

The discussion of the previous paragraph leads to the structure of the micro-cell compiler that is shown in figure 5. The performance-driven

micro-cell compiler for CMOS sea-of-gates arrays can be divided into three main blocks.

1) Topology generator.
2) Performance evaluator.
3) Layout generator.

These three blocks will be described in more detail in the sections 5.1 to 5.3. Section 5.4 discusses the iterative character of the micro-cell compiler.

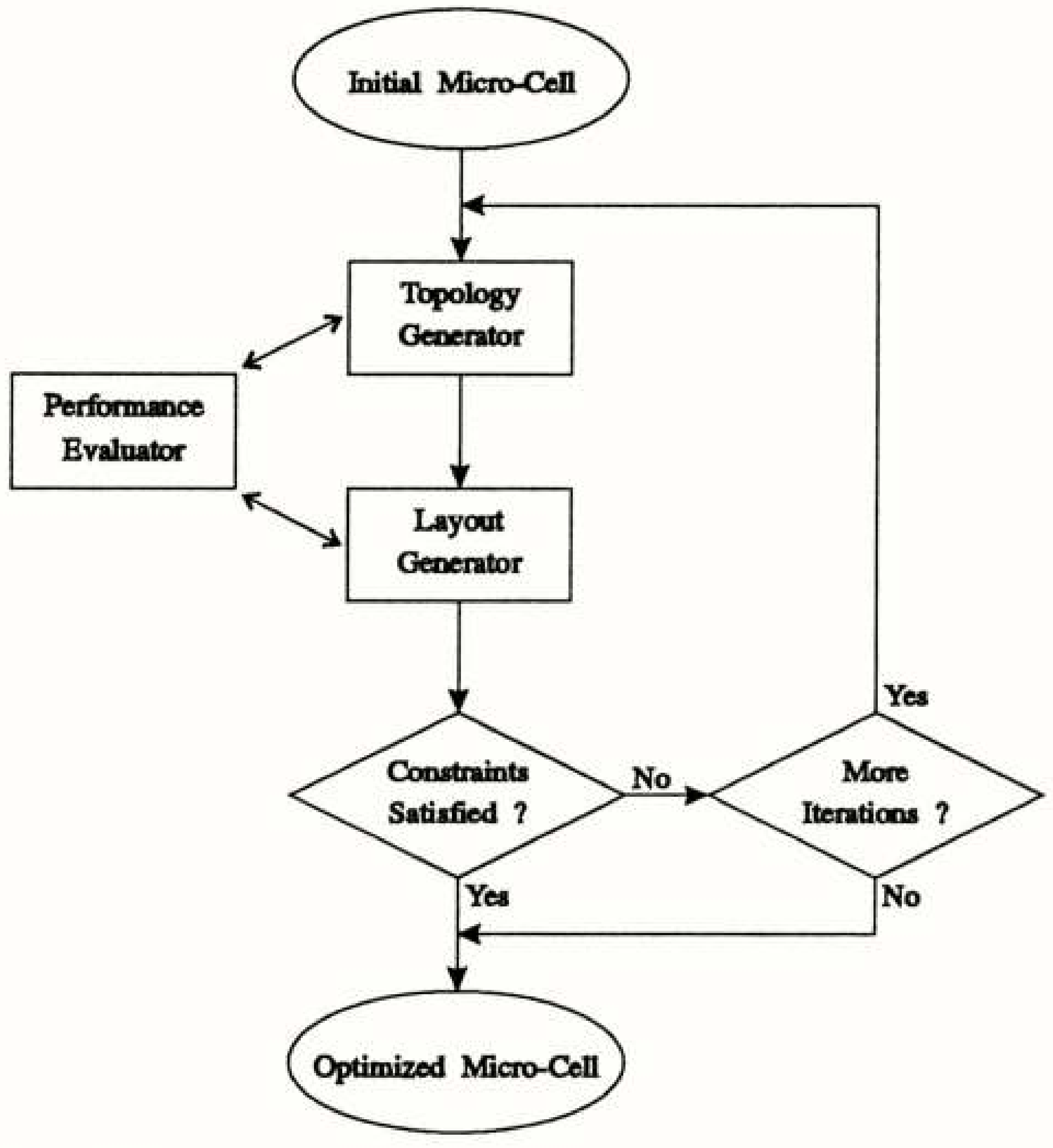


Figure 5. The structure of the micro-cell compiler.

5.1 Topology Generator

The goal of the topology generator is to determine the optimal transistor connectivity description of the micro-cell to be generated. It determines, in other words, the micro-cell topology, that fits the constraints best. The input of the topology generator consists of a description of the micro-cell, that has to be generated. This description contains a Boolean function or a transistor netlist and the performance constraints. The Boolean function is converted into a transistor netlist, which is called the initial micro-cell of the micro-cell compilation process. The constraints are converted into a single cost-function, which is used to translate the performance of a micro-cell into a single numerical value. This value is used to determine which micro-cell topology fits the constraints best. Several performance-changing actions are carried out on this micro-cell by an optimization method, until one of the following conditions is found to be true [6].

1) All the constraints have been satisfied.
2) The last relative improvement is less than a stop criterion (e.g. 5 %).

The first condition is of course the best one, but can not always be achieved. The second condition can be understood by considering, that the optimization effort increases dramatically with the achieved optimization. The largest improvements can be found at the beginning of the optimization process, followed by a very large (or even endless) tail of decreasing improvements. Very difficult or contradictory constraints make satisfying all the constraints a difficult or even impossible task. A stop criterion is introduced to be able to stop the optimization process when this tail has been reached, since the accuracy of the performance evaluator makes optimization in this tail useless (see section 5.2). This results in a large reduction of useless optimization effort.

5.2 Performance Evaluator

The goal of the performance evaluator is to determine the performance of the micro-cell [7]. The performance evaluator is used by the topology generator to determine the influence of a heuristic on the performance parameters. This influence determines directly the optimization process. Heuristics with a positive influence are very likely to be used by the final optimized micro-cell, while heuristics with a negative influence can be ignored. Two properties of the performance evaluator are very important to the optimization process; the speed and the accuracy. Both properties will be described in the following paragraphs. The speed of the performance evaluator influences directly the total time needed to optimize a micro-cell. Since the performance evaluator has to determine the performance of many topologies during one micro-cell compilation run, little time is allowed in order to obtain optimization results within a feasible time. The accuracy of the performance evaluator determines directly the stop criterion (see section 5.1) of the optimization process. It is useless to carry out a performance improvement of 1 %, if the accuracy of the performance evaluator is around 10 %. The stop criterion should therefore be related to the accuracy of the performance evaluator. A higher accuracy results in a different stop criterion and leads to a more optimized micro-cell. The previous two paragraphs show that the optimization process requires a fast and accurate performance evaluator. Since increasing the accuracy of the performance evaluator leads to larger computation times, a careful trade-off between accuracy and speed should be carried out. There is, however, another characteristic of the optimization process, which can be very useful for this trade-off. This characteristic is the relative performance improvement of the final optimized micro-cell in comparison with the original micro-cell. If this improvement is large (e.g. more than one order of magnitude), then useful optimizations can be obtained using a performance evaluator with a low accuracy. Since the maximum improvement is not very large (20 to 80 % approximately, as demonstrated by experiments) an accurate performance evaluator will be required. An average accuracy of 10 % is arbitrarily chosen for the performance evaluator. The input of the performance evaluator consists of a transistor connectivity description (SPICE-netlist) and a command description. The connectivity description contains four different types of elements (resistors, capacitors, n- and p-transistors). The connections between the elements are described by node numbers. The command description contains some information about the state of the inputs of the micro-cell and about the size of the load capacitance. An input can be in four different states. It can be in a high, low, rising or falling state. The input rise-/fall-time of the rising and falling states is also described in the command description. The capacitance of the load (gate and interconnect capacitances) driven by the micro-cell, is also described in the command description. The output of the performance evaluator provides the performance parameters of the calculated micro-cell, described in section 4.5.

5.3 Layout Generator

The input of the layout generator is an optimized transistor netlist, which is generated by the topology generator. The layout generator is responsible for converting this optimized transistor netlist into a layout. The layout generator is not allowed to change anything in the optimized transistor netlist, in order not to destroy (part of) the optimization. It generates the layout of the metal layers, which together with the transistors of the sea-of-gates array,

results in the layout of the optimized micro-cell. The layout generator is a sea-of-gates architecture independent tool. It has to be able to deal with different sea-of-gates environments. The layout generator has been developed to deal with row-oriented CMOS arrays, with gate and/or oxide isolation and with at least two interconnect layers. The output of the layout generator consists of a description of the generated interconnect layers. This description is used by the performance evaluator to determine the final performance parameters.

5.4 Iteration

If the final performance parameters do not satisfy all constraints, then the a new micro-cell compilation run will be carried out. This run tries to optimize the micro-cell more, in comparison with the previously generated micro-cell, in order to make it satisfy all constraints. Several iterations can be carried out until the constraints have been satisfied or no further optimization can be achieved.

6. Results

The topology generator and the performance evaluator have been implemented in a C-program. Since the implementation of the layout generator is not finished yet, only results of the topology generator and the performance evaluator will be presented. The micro-cell with the Boolean expression of equation 1, driven by an input ramp of 1.0 ns and loaded by a capacitance of 500 fF, has been used as a test vehicle.

$$\overline{(a + b)\, c\, (d + e)} \qquad (1)$$

Optimizations of different performance aspects have been performed on this micro-cell, with a stop criterion of 5 %. All optimizations have been carried out on all inputs for rising and falling transitions simultaneously. Table 1 shows the worst-case performance parameters of the optimized micro-cells.

Optimization	Delay in ns	Ramp in ns	Power in pJ	NM_l in V	NM_u in V	Area in μ^2
Delay	2.85	7.88	46.9	1.47	1.51	1370
Ramp	4.92	1.50	95.7	1.17	2.21	2690
Power	3.98	10.7	43.1	1.17	2.21	1040
Noise	2.85	8.44	49.0	1.78	1.70	1370
Ramp and area	4.96	2.42	64.6	1.17	2.21	1660

Table 1. The optimization results.

In this table NM_l and NM_u denote the lower and upper noise margins. The area is only an estimate, based on the total number of n- and p-transistors used by the micro-cell topology. The first column shows the optimized performance parameters. This table shows that a micro-cell can be optimized for different performance parameters. Combinations of several performance parameters are even possible. The achieved performance optimization varies between 43 % (delay) and 86 % (output ramp). Better performance optimization results can be expected for slower inputs and for larger loads.

7. Conclusions

A performance-driven micro-cell compiler for CMOS sea-of-gates arrays has been described. An introduction on the sea-of-gates environment of this compiler has been given. The performance aspects of digital chips have been discussed and translated into performance parameters at micro-cell level. The structure of the micro-cell compiler has been given. A structure, consisting of three blocks, is used for the micro-cell compiler. These blocks are the topology generator, the performance evaluator and the layout generator. The requirements of these blocks are described in more detail, leading to a specification for each block. The topology generator and the performance evaluator have been used to optimize different performance aspects of a micro-cell. The optimization results show that a micro-cell can be optimized for different performance parameters. Performance improvements of 43 % to 86 % have been achieved in this test case. More optimization experiments will be carried out in the future in order to increase the efficiency of the optimization method. The layout generator will be finished and will be used for more experiments.

8. References

[1] R.J.H. Koopman and H.G. Kerkhoff, "A High-Density Sea-of-Gates Architecture Incorporating Testability Support", IEEE Int. Symp. on Circuits and Systems 1992.

[2] E. Seevinck et al., "Static-Noise Margin Analysis of MOS SRAM Cells", IEEE Journal of Solid-State Circuits, Vol. 22, No. 5, October 1987, pp. 748-754.

[3] N.H.E. Weste and K. Eshraghian, "Principles of CMOS VLSI Design, A Systems Perspective", Addison-Wesley, 1985, ISBN 0-201-08222-5.

[4] R. Tjrnstrm, "Power Dissipation Estimate by Switch Level Simulation", IEEE Int. Symp. on Circuits and Systems 1989, pp. 881-884.

[5] S.M. Kang, "Accurate Simulation of Power Dissipation in VLSI Circuits", IEEE Journal of Solid-State Circuits, Vol. 21, No. 5, October 1986, pp. 889-891.

[6] R. Peset LLopis and H.G. Kerkhoff, "A Performance Optimization Tool For Performance-Driven Micro-Cell Generation In Sea-Of-Gates Arrays", IEEE Int. Symp. on Circuits And Systems 1992.

[7] R. Peset LLopis et al., "A Performance Analysis Tool For Performance-Driven Micro-Cell Generation", European Design Automation Conf. 1991, pp. 576-580.

Voordracht gehouden tijdens de 394e werkvergadering.

AN APPLICATION-SPECIFIC APPROACH TO MICROCONTROLLER DESIGN

Ir. Philip J.L. McGee
Sagantec Europe B.V.

Traditionally, microcontrollers have been created by taking existing microprocessor cores and bolting peripherals in a rather non-optimal fashion around them. Lack of design flexibility in embedded controller applications has therefore often resulted in silicon areas which are considerably larger than is strictly necessary. Working with a parameterized HDL state-machine model, Sagantec created a μC template with a flexible rather than 'jigsaw' layout approach. The instructiondecoding logic can even be tailored to the needs of a specific application. The results have prompted several major microcontroller vendors to go back to the drawing board . . .

Perhaps no single integrated circuit has had as much of an impact on the electronics industry since the beginning of the 1970's as the microprocessor (μP). A versatile piece of circuitry capable of performing simple arithmetic and logical functions at high speed, the μP's inherent programmability has turned it into a useful workhorse which most electronic and software engineers have worked with at some stage in their careers.

While we can all think of their obvious application at the heart of a personal computer or workstation, μP's in a slightly different guise show up in a surprising array of products. When peripherals such as RAM, ROM, counter/timers and I/O ports are put 'on chip' with a μP core, the resultant single-chip solution is called a microcontroller (μC). These turn up in everyday items such as washing machines, central-heating programmers and automobile fuel-injection systems. Because several dozens of variants are mass-produced by innumerable vendors, cost is kept low, and μC's therefore often represent the cheapest solution (for a given production volume) to the problem of circuit integration. From very basic 4-bit devices with an absolute minimum of peripherals to advanced 16 and 32-bit CISC and RISC devices with large amounts of on-chip memory, there are topologies available to suit almost any application. So-called *embedded* controller circuits supplement the basic μC with system 'glue' logic, and these variants show up in many low chip-count designs.

Because the μC concept has been with us for nearly two decades, one could reasonably assume that microcontroller design by semiconductor manufacturers has reached a high degree of maturity. Traditionally, however, μC's have almost always taken a back seat to the associated μP development from a chip-layout point of view – the μP is the real product and the μC is a pleasant side-effect for generating extra device sales. Microcontrollers are therefore often designed using a building-block approach akin to piecing together a jigsaw from a set of randomly-shaped elements. Successfully fusing the core and the satellite peripherals into a harmonious chip-layout can therefore be a daunting task. In the age of the ASIC, microcontrollers themselves are not as 'application-specific' as they could be. To understand this better, let's take a deeper look at how a typical μC is built.

As has already been explained, the starting point for a microcontroller design is usually a microprocessor core to which any or all of the following peripherals can be added:

- RAM (data memory)
- ROM (program memory)
- E(E)PROM
- PIO's (parallel I/O ports)
- SIO's (serial I/O ports)
- CTC's (counter/timers)
- UART's
- AD / DA converters
- etc.

The core on its own is usually available as the basic microprocessor on a different IC-die (this discussion will assume that the reader is familiar with the basic elements of a μP, so no attention will be focused on the core-design itself). The layout of the core is almost never modified for the μC derivatives – because it has probably been painstakingly designed by hand to achieve optimal area for large volume production quantities, it's just too much trouble to alter its layout for the μC topology. The non-memory peripherals such as e.g. the CTC's are usually also created in just one physical implementation form, acting as library elements which may appear in identical guise in several different μC configurations. However, memory elements such as RAM or ROM are often generated by custom compilers or module-generators, so they represent one area where *some* layout flexibility may be available. Let's now take a look at the inherent irony in trying to build an optimal chip from these inflexibly-shaped components.

Figure 1 depicts a slightly exaggerated view of what happens when blocks with fixed aspect-ratio (the ratio of height to width) are placed together in a global chip layout (the process of global module placement is referred to as *floorplanning*). Note the 'holes' which typically result from

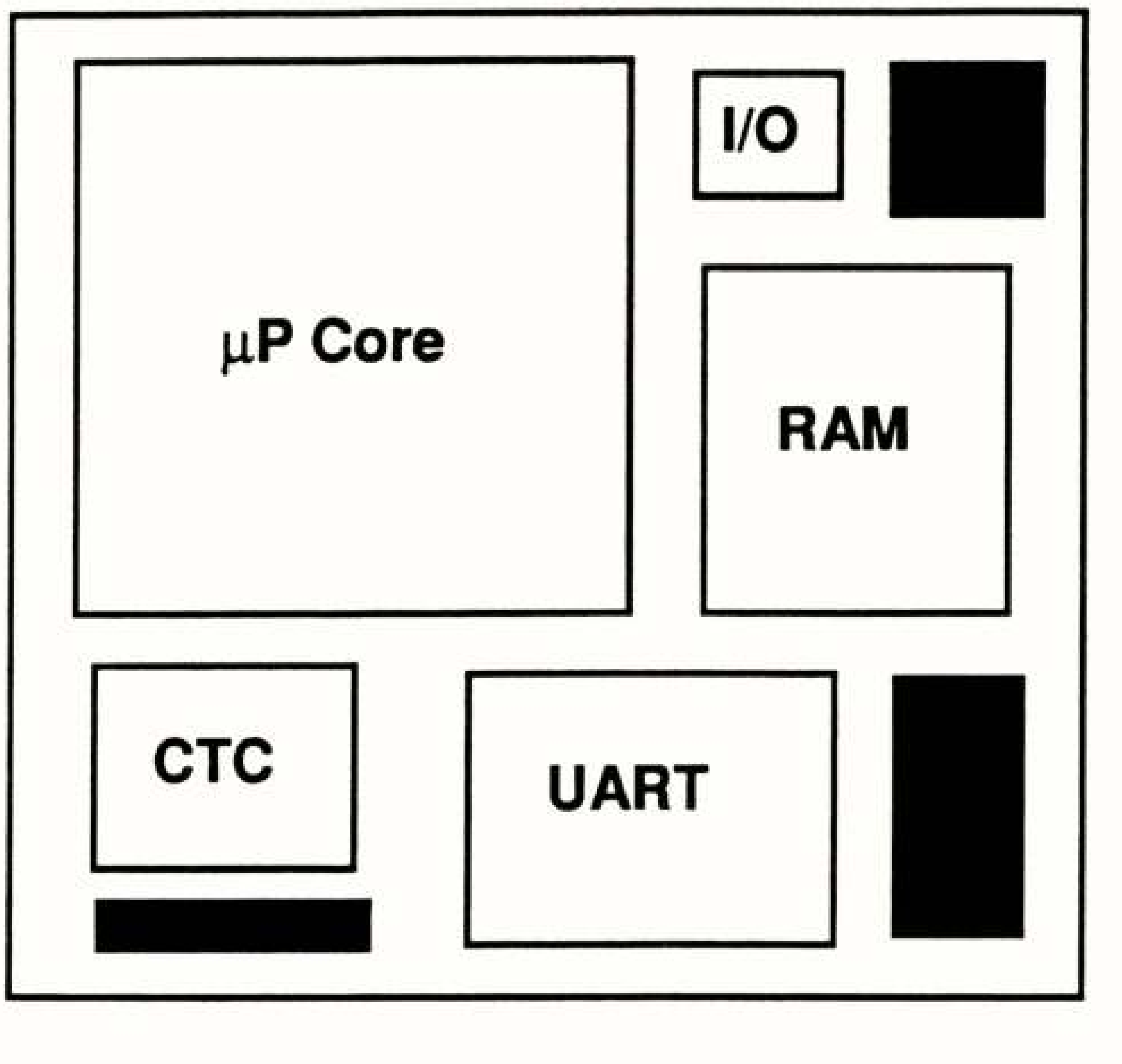


Figure 1: Layout 'holes' (represented by the black areas) resulting from inflexible block-shapes in traditional μC design.

the designer's inability to pack the inflexible modules together optimally. While some degree of freedom is available in making a choice regarding basic block positioning, a problem is lurking in the background to further cramp the designer's style – the chip wiring has to be kept as short as possible for high-speed operation. One can intuitively deduce that when the basic layout-modules are unmodifiable, their connection pins will also have fixed positions with respect to the topology of the module. Shifting blocks which need to be interconnected away from each other will obviously increase the length of the wiring, just as rotating modules to fill the available gaps in the floorplan more optimally may also cause wiring problems. In modern IC processes, intrinsic gate-delay has a lesser effect on performance than wiring-delays, which slow down signals with fast rise-times and, when substantial, also make correspondence between pre-layout and post-layout timing characteristics difficult to predict and manage. So while a particular floorplan may result in a smaller area because it leaves less holes in the layout, it may often not be feasible from a performance point of view. Incidentally, the extra wiring needed over longer distances can widen the routing channels so that the area-reduction which might be achievable through better placement is lost in the channels.

From this discussion, it should be obvious that utilisation of silicon real-estate is almost never optimal in traditional µC layouts. Another silicon-wasting problem in many applications is that most microcontrollers are only available with pre-defined peripheral combinations. Put simply, if you need e.g. 3 PIO's in your particular design situation, you can choose between a commercial device with either 2 or 4. Obviously you'll have to opt for the (dearer) configuration with 4 PIO's and leave 1 unused even though it consumes silicon-area on the die. This may be fine for low volumes, where a standard part still enjoys price advantages over a custom-made derivative, but it is undesirable for most high-volume applications. While some standard-part vendors allow you to build your own ASIC microcontroller from a library of peripherals, two problems still remain – (i) you'll probably not create as good a floorplan as the vendor with all his accumulated expertise, and (ii) you're still stuck with the full instruction-decoding logic, whether or not this is desirable.

This second point may not seem an issue at first, until you realise that most application programs stored in ROM never utilise more than about 40% of the available instruction set. What's the use in having e.g. a 60-instruction capability in the µP if the machine-code running on the device will only exploit 25 of these instructions? For example, a particular application may not require a multiply operation, or a programmer's style may dictate that he always performs his branches in the same way. Or maybe he always subtracts A from B and jumps on negative rather than reversing the operands and testing for a positive outcome. While this is of course of no relevance to a microprocessor sitting in a personal computer, where full instruction handling must be provided because disk is the main program-storage medium, most µC's are implemented with program stored in ROM or EPROM. One fundamental property of ROM is that its contents do not change after they've been entered at device fabrication time. So if we were to scan through the contents of the ROM in a specific application, we could see the instructions which are used, deduce those which are therefore never required, and decide upon what portions of the instruction-decoding logic could theoretically be deleted. Sounds good, except when you remember that the instruction-decoding logic resides within the µP core which the vendor has so proudly hand-crafted and is therefore strictly a 'hands off' zone.

Now let's take a look at a rather different approach to the problem of µC design, which solves most of the problems mentioned so far. Because a microprocessor can easily be modelled as a finite state machine (FSM), it's easy to represent its specification using FSM notation. Depending on the particular opcode present in its instruction register, a µC synchronously and sequentially steps through a pre-defined set of operations to fetch, transfer and manipulate data. Its behaviour can therefore also be represented using a complex collection of IF THEN ELSE or CASE OF constructs. A combination of these two model forms can easily be expressed in a Hardware Description Language (HDL) for automatic synthesis to a component

```
FUNCTION

  TRIGGER clock -> 1

STATE reset:

  LOAD_BUS[0..3]  = 0 AFTER 1;
  en_bus[0..4] = 0 AFTER 1;
  CTRL_BUS[0..6]  = 0 AFTER 1;

  GOTO S2P1;

STATE S2P1:

  CASE INSTR[0..7] OF

  "00"H :
  BEGIN
    LOAD_BUS[0..3]  = 0 AFTER 1;
    en_bus[0..4] = 0 AFTER 1;
    CTRL_BUS[0..6]  = 0 AFTER 1;
  END;

  "01"H :
  BEGIN
    LOAD_BUS[0..3]  = 1 AFTER 1;
    en_bus[0..4] = 13 AFTER 1;
    CTRL_BUS[0..6]  = 0 AFTER 1;
  END;

  "02"H :
  BEGIN
    LOAD_BUS[0..3]  = 0 AFTER 1;
    en_bus[0..4] = 0 AFTER 1;
    CTRL_BUS[0..6]  = 0 AFTER 1;
  END;

  "03"H :
  BEGIN
    LOAD_BUS[0..3]  = 0 AFTER 1;
    en_bus[0..4] = 0 AFTER 1;
    CTRL_BUS[0..6]  = 33 AFTER 1;
  END;
              •
              •
              •

  "FA"H :
  BEGIN
    LOAD_BUS[0..3]  = 0 AFTER 1;
    en_bus[0..4] = 0 AFTER 1;
    CTRL_BUS[0..6]  = 9 AFTER 1;
  END;
```

Figure 2: An example portion of the behavioural FSM source-code as written in the SID HDL.

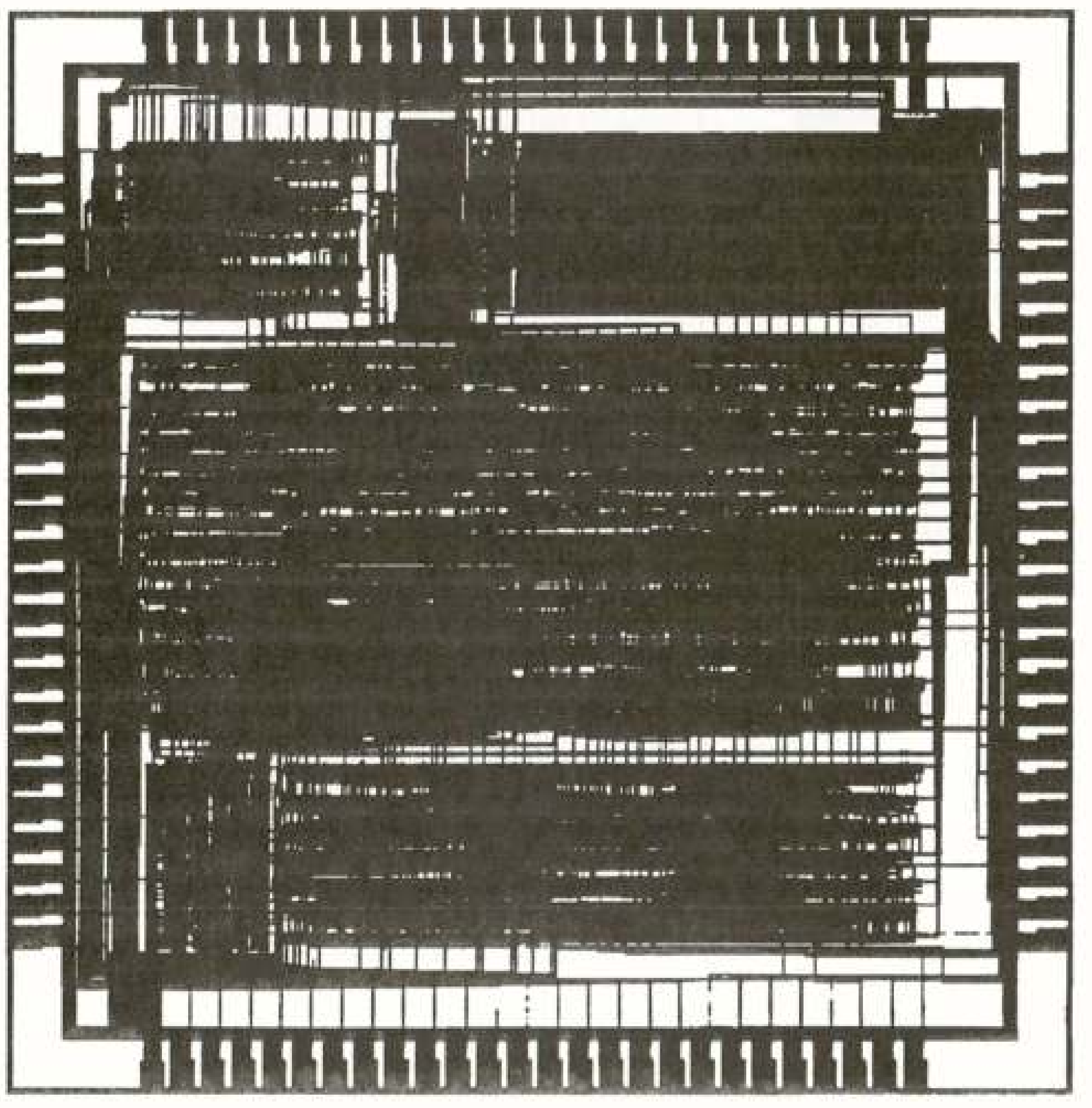


Figure 3: ASA-generated layout of the template μC with 'full' instruction-decoding capability, 256b RAM, 32b ROM and 4 x PIO.

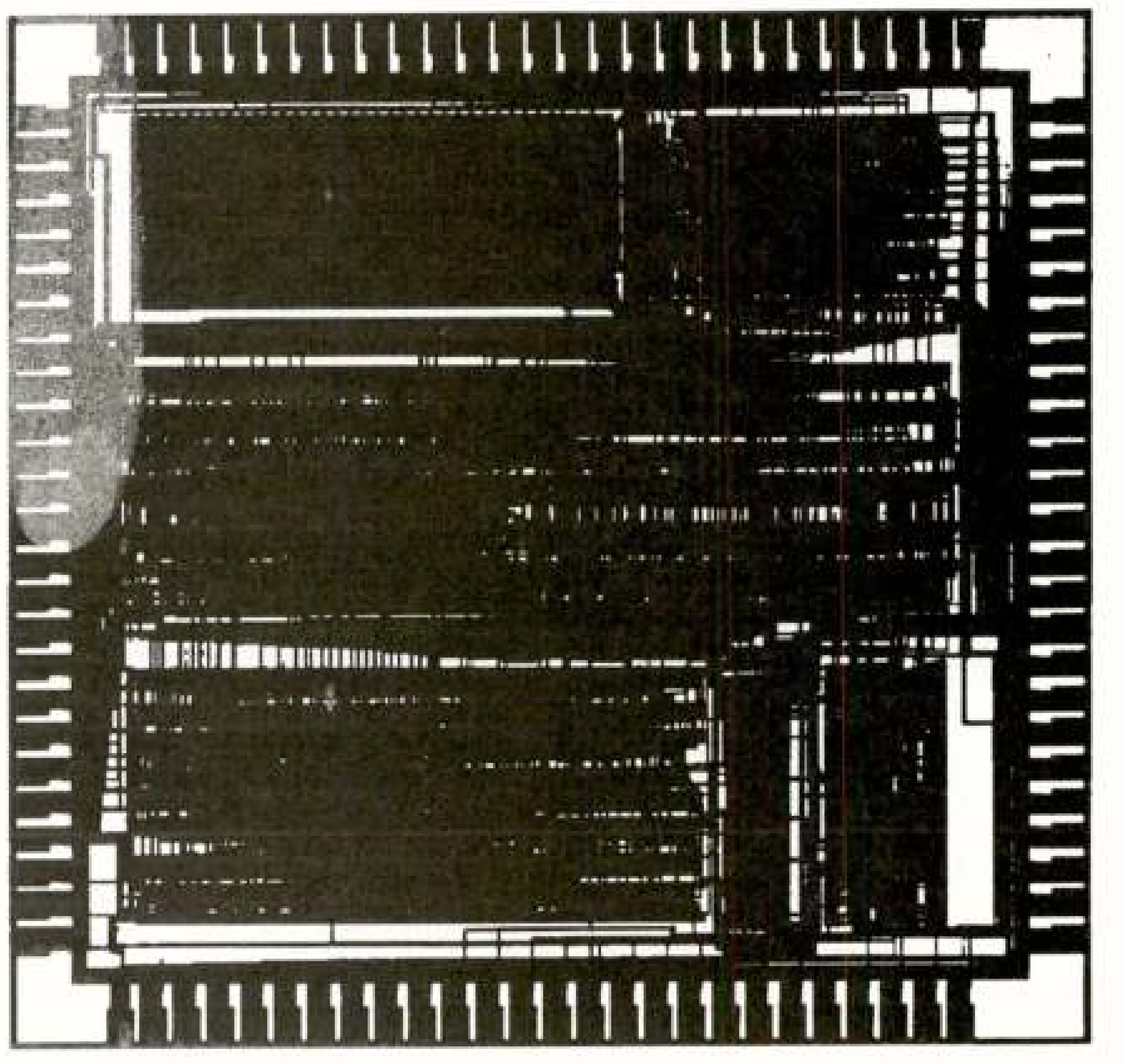


Figure 4: ASA-generated layout of the template μC with 'shrunk' instruction-decoding capability optimised for a particular application ROM table.

netlist. In theory at least, the painstaking manual effort normally spent on choosing a good structural implementation and designing datapath layout structures could be placed in the hands of a silicon compiler.

To test the quality of this approach, applications engineers at Sagantec took the industry-standard 8-bit microcontroller as an example and wrote a 21,000-line HDL description of its behaviour in the SID language. An iterative sequence of simulation, logic-synthesis, re-simulation and layout generation ensued, whereby the ASA Silicon Compiler was used as the design tool. During the design phase (which took about three man-months to complete) the emphasis was placed on the general applicability of the approach. Although it was largely intended to model the particular μC in question, special attention was paid to ease of modification of the resultant SID file for any desired architecture. The result was a 'template' SID-macro which provides a starting point for a designer wishing to create any generic microcontroller with ASA, and which directly lends itself for customising the particular μC modelled in the template.

Figure 2 lists a small portion of the HDL source code used in this template. To determine the number of states necessary for the FSM model, it is only necessary to examine the number of clock-cycles needed for the implementation of the most complex instruction. In this case, it was the multiply instruction, which completed in 41 clock-cycles. The FSM therefore employs 41 states, each containing 256 *case* statements defining the state-transitions and actions performed depending upon the particular instruction being executed. While the FSM is quite large, it should be obvious that the code for one state can be easily copied with a text editor and modified as necessary, so that the real typing work need only be done for one instruction and the rest can be done by manual editing, cut-and-paste, and substitute actions.

The peripheral functions can also be modelled using HDL descriptions, although not necessarily using the FSM approach. Also, because of the mixed behavioural/structural level modelling possible in the SID language, the designer can choose to leave all structural implementation up to the logic synthesis tools, or he can 'force' a certain (datapath) structure for e.g. the ALU or register-file to improve performance. Because the SID coding makes generous use of global parameters, the exact configuration required need only be stated in a small 'include' file and any desired topology is then automatically generated by ASA. An example of this could look as follows:

```
RAM_size:= 256;
ROM_size:= 16284;
Number_of_PIO:= 4;
Number_of_SIO:= 0;
Number_of_CTC:= 0;
Number_of_UART:= 0;
etc.
```

Figure 3 depicts the automatically-generated layout of a template-derived μC configured with 256 bytes of RAM, 32 bytes of ROM, and 4 PIO's using separate I/O pins for input and output. The result is shown here in a 2μ CMOS process, although the technology-independent nature of ASA allows layouts to be generated in any desired technology. A very powerful feature which was included in the template coding allows the user to select (at compile time) whether or not to replace the μC's existing microcoded multiply instruction with a dedicated hardware multiplier. For this purpose, the parameters

```
Multiply_Microcode:= TRUE;
Multiply_ARMUL:= FALSE;
```

are exchanged, and ASA will include a hardware array-multiplier in the layout and ensure that the normal multiply instruction uses it. Depending on how often the MUL instruction appears in the ROM table, this may be an interesting proposition, as MUL is slow in microcode (taking in the example μC 41 clock cycles) whereas the ARMUL produces a result in just one clock cycle. Software running on such a modified μC would obviously have to take into account that the MUL instruction had become considerably faster, as we are now deviating from compatibility with the 'standard' μC. Whereas this might be a problem for existing software intended to run on the μC, new software could be written to take it into account. If the chip-designer wanted to design an external program-memory μC (no ROM) featuring backwards-compatibility with the existing microcoded MUL instruction in addition to the run-time option of switching in the ARMUL when desired, an unused bit in one of the status-registers could be used to

perform the selection. If the default value of the bit selects the microcode, then existing software would run on the μC without modification. New software wishing to use the ARMUL option could first write the correct bit-value to the register before any MUL instructions were used.

Another interesting possibility provided in the Sagantec template is the provision for stripping of the instruction-decoding logic to meet the requirements of a particular ROM table. To this end, the template contains a set of global Boolean parameters which are used in an IF THEN ELSE construction at compile-time to influence the generation or non-generation of certain structural systems in the netlist. The approach should now look somewhat familiar:

```
Opcode_00:= FALSE;
Opcode_01:= TRUE;
Opcode_02:= TRUE;
Opcode_03:= FALSE;
Opcode_04:= TRUE;
      •
      •
Opcode_C3:= FALSE;
      •
      •
Opcode_FF:= TRUE;
```

In the template, the ROM contents are also specified in the SID language, being passed as parameters in the call to the generic ROM generator. A simple external Pascal program reading the SID file containing the ROM contents-specification is all that's needed to scan for used and unused instructions before compilation. It is child's play to then have such a program edit the SID file and set the Boolean parameters automatically. When we then compile the overall template file-set, we have a custom μC which is exactly what is needed to run the application-program – no more, and no less.

It is also interesting to note that the stripping and exact configuration are performed at the point where a mask-ROM table is available. This means that the machine-language development for the application program is finished and verified. Only when the software is completed do we initiate an instruction-scan and determine the stripping we can apply, so that full compatibility is guaranteed with existing debug and emulation equipment.

The template's global-parameter mechanism was also put to good use by Sagantec's engineers during the simulation of the SID code. By setting only one parameter at a time to TRUE and running logic synthesis, only a small amount of instruction-decoding logic for implementing a single instruction was generated. Such a small circuit requires considerably less simulation-time, and by stepping through all opcodes in this manner, an instruction-by-instruction test of the correctness of the SID template was possible, saving CPU-days worth of simulation and timing analysis. Naturally, when the individual checks had all been performed, an 'all parameters true' simulation was used to test the overall correctness.

So far, we've seen how the behavioral-model + parameter approach can allow the designer to tailor the microcontroller simply and effectively to suit his exact needs. To be really effective in reducing silicon real-estate, however, a means is also required which will allow flexible layout generation. If we refer to the layout in figure 3, we can see that the type of floorplan-holes depicted in figure 1 do not occur here. Now look at figure 4, which is an automatically-generated layout for exactly the same basic μC configuration, with the one basic difference that the instruction-set has been stripped to suit the minimum requirements of the application in ROM. The area reduction is certainly quite significant. Figure 5 depicts a floorplan comparison explaining which modules are which and also aiding comparison between the two layouts. The most obvious difference is that the module labelled 'instruction-decoding logic' has shrunk, which we would expect intuitively. But notice that there are still no gaping holes in figure 4's layout, even though the 'jigsaw' has changed. ASA's automatic global floorplanner ensures that e.g. the RAM shifts to the left and the ROM moves to the bottom right, so we get a tighter fit. That would not have been too much trouble to implement by hand, but note also that e.g. the ALU portion (bottom left in 'full' μC) has a different *aspect-ratio* in the 'stripped' μC (where it is incidentally located bottom right). This flexible aspect-ratio capability, provided here automatically by ASA's layout toolset, represents perhaps the greatest advantage over the hand-crafting approach. It works as follows.

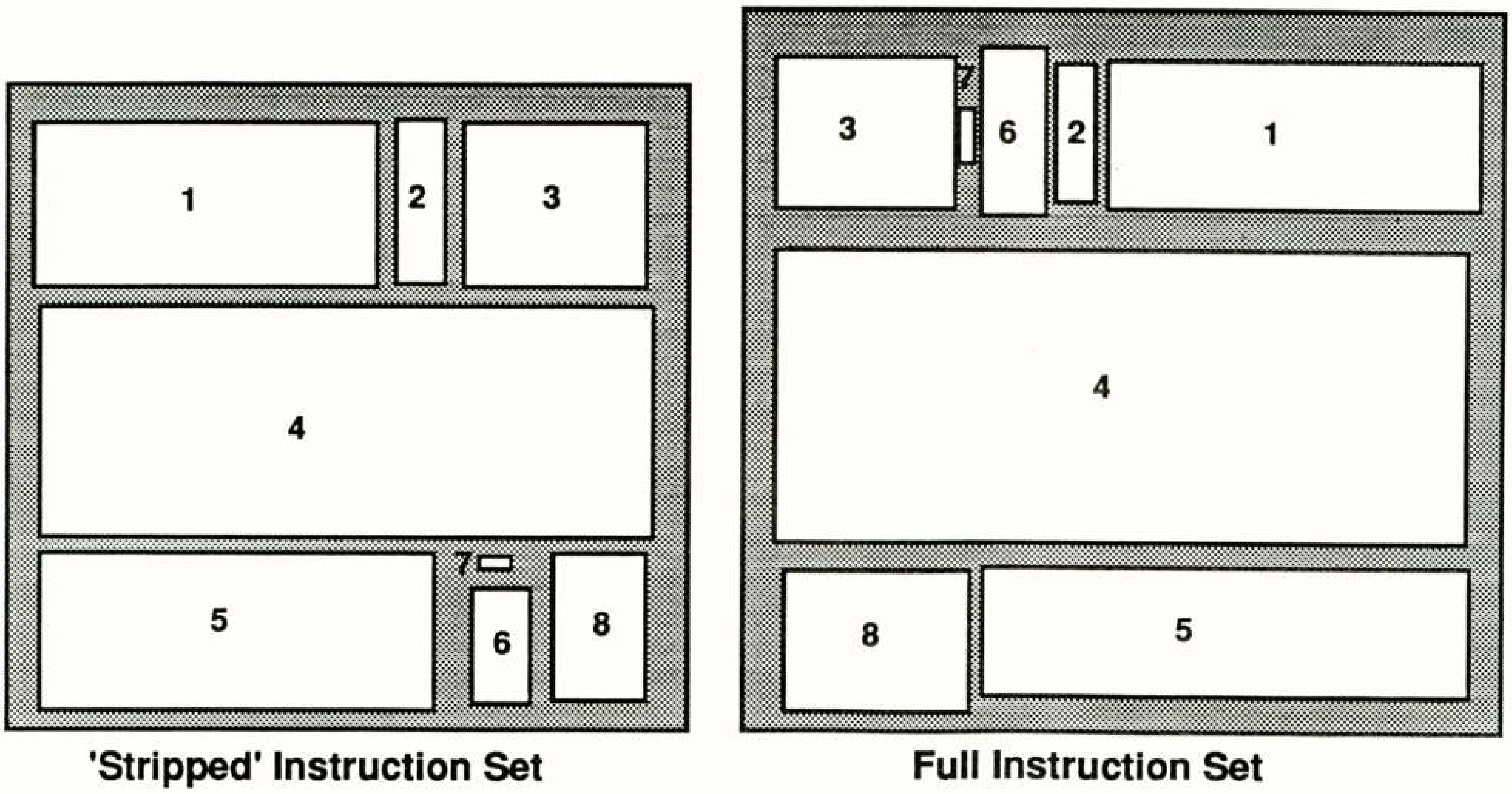


Figure 5: Floorplan comparison – (1) 256 bytes RAM (2) RAM control logic (3) Four PIO ports with separate In/Out pins (4) Instruction-decoding logic (5) Register file (6) 32 bytes ROM (7) ROM control logic (8) ALU.

ASA's so-called *estimate-and-generate* feature derives an area estimation for each layout slice based on the number of transistors in the module and the known typical layout-density (FETS/mm2) achieved in the target process. When a good estimation of the area required by the individual modules is available, the global floorplanner tool can calculate an optimum aspect-ratio and relative placement for each module to pack the entire layout together as tightly as possible. Accurate estimates of routing density contribute to high-quality results. ASA's standardcell generator is then called upon to generate blocks with the correct number of rows and channels to fill these pre-allocated spaces. This can be seen in action by comparing the ALU standardcell in figures 3 and 4 – in figure 3 the ALU contains 6 standardcell rows, whereas in figure 4 it contains 5 longer rows, resulting in a different aspect-ratio because both the height and width change. In fact, if we look at the floorplanning differences between the two examples, we could easily think we are looking at two different chips which each contain some RAM and ROM rather than variations of the same μC.

Not only the shape of the module changes – the content does aswell. The composition of the rows is completely different in both examples, although the resolution of these particular layout plots doesn't show that clearly. The so-called *preferred-pin-position* feature of ASA's layout tools ensures that primitives are located at strategic points within the rows of each standardcell block such that the nets connecting to adjacent blocks are as short (and straight) as possible. If, for example, we wanted to manually influence the floorplanning by rotating the ALU block through 90°, the block would be completely re-generated with a different internal structure so that the connections still mapped well to adjacent blocks. This feature is another reason why the floorplanning can be made so flexible with such little effort, and because the nets are automatically kept short, performance problems do not occur.

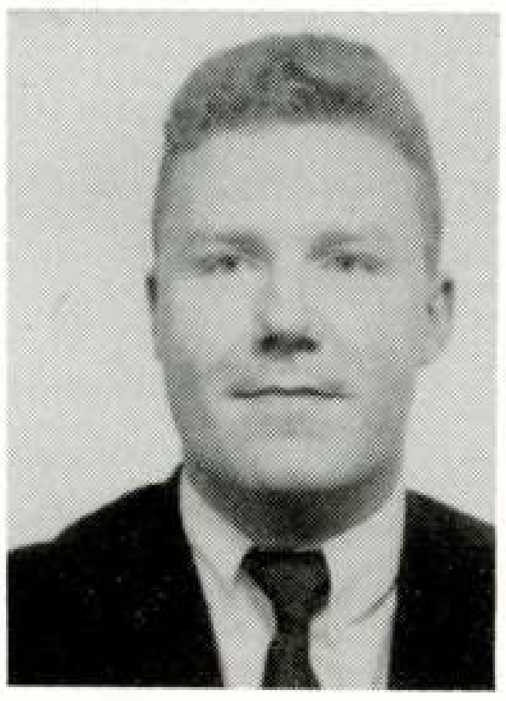
A final feature in ASA worth noting in connection with the template design is the *buffer clock* command. It automatically calculates the clock-loading presented by each circuit module, and places distributed buffer cells throughout the rows of each block to keep clock-skew within pre-defined limits. This works much better than a single large buffer at the clock pad, and because it is totally automatic the designer never has to worry about the timing consequences of tailoring the μC to suit his needs.

A traditionally-schooled microcontroller designer reading this article may be rather shocked that this design approach seems to deviate so radically from established methodologies. Most μC design is almost entirely structural, with little use being made of logic synthesis. Also, standardcells are almost never used in μC design, so this type of layout approach might also seem out of place. Here, however, we've seen how flexibility in the layout approach, together with the possibility to tailor the peripherals and instruction-set to the exact needs of a particular application, can result in smaller silicon than rigid handcrafted designs. And because of some of the clever features in the layout tools used here, performance is generally more than adequate. Remember, when it comes to performance, good enough is good enough – there is no point in having a μC capable of clocking at 40MHz if the specification of the application program that's going to run on it says that 12MHz is enough. Of course it is true to say that handcrafted blocks specifically designed for a particular configuration would provide even better area results and performance than achieved here, but the effort involved in achieving it would not be justifiable. The traditional approach builds an optimal core μP and reasonable μC derivatives for general purposes. It cannot, however, compete with the speed and flexibility of the silicon-compiler approach for specific applications. It is perhaps worth noting that about 3-days of CPU time on a mid-sized UNIX workstation is sufficient to produce any desired configuration from the template described here.

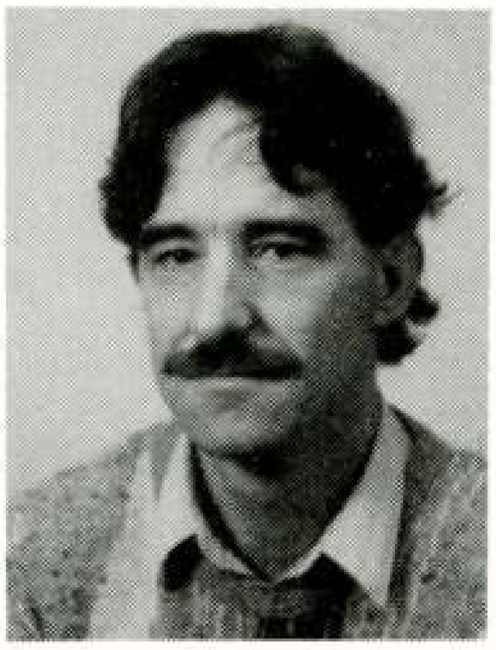
While it may take some time for this new methodology to gain widespread acceptance in the design community, at least some of the larger μC vendors have reacted favourably to it. Given the right exposure, this acceptance may even promote more general application of these chip-design techniques outside the realm of microcontroller design.

Voordracht gehouden tijdens de 394e werkvergadering.

NEDERLANDS ELEKTRONICA- EN RADIOGENOOTSCHAP
394e werkvergadering



P.J.L. McGEE



J.G. WIELING



H. VRIELINK

UITNODIGING voor de lezingendag op woensdag 22 januari 1992 in de conferentiezaal van Philips Semiconductors, Gerstweg 2, Nijmegen.

THEMA: GESTANDAARDISEERD ONTWERPEN VAN CHIPS

PROGRAMMA:

10.00 - 10.20 uur :	Ontvangst en koffie
10.20 - 10.30 uur:	Welkomstwoord door de voorzitter
10.30 - 11.00 uur:	Inleiding **IR. C. M. HUIZER,** Philips Research
11.00 - 11.30 uur:	Een automatische compiler van logische cellen in sea-of gates toepassingen **DRS. R. PESET LLOPIS,** Universiteit Twente
11.30 - 11.45 uur:	**Koffie**
11.45 - 12.15 uur:	An application specific approach to microcontroller design **IR. P. J. L. McGEE,** Sagantec Europe BV
12.15 - 13.30 uur:	**Lunch**
13.30 - 14.00 uur:	Ontwerp en kwalificatie van standaard cellen voor digitaal CMOS ontwerp **IR. J. G. WIELING,** Philips Semiconductors
14.00 - 14.30 uur:	De balans tussen standaardisering en prestatiegedrag **PROF. DR. ING. J. JESS,** TU Eindhoven
14.30 - 15.00 uur:	Een ontwerpsysteem voor de realisatie van analoge Bipolaire, CMOS en BICMOS IC designs **IR. O. HOL,** Philips semiconductors
15.00 - 15.15 uur:	**Thee**
15.15 - 15.45 uur:	Ontwerpstrategieën voor VLSI applicaties met een extreem hoge datarate **IR. J. SMIT,** Universiteit Twente
15.45 - 16.15 uur:	ASIC linearizes analog sensor signals **IR. H. VRIELINK,** Sierra semiconductor B.V.
16.15 uur:	**SLUITING**

Aanmelding voor deze dag dient te geschieden vóór 15 JANUARI aanstaande door middel van de aangehechte kaart, gefrankeerd met een postzegel van 60 cent.

Het aantal deelnemers is beperkt tot 80. Tijdstip van ontvangst van aanmelding is beslissend voor deelname. Als blijkt dat u wegens overtekening niet kunt deelnemen, ontvangt u hierover van ons bericht.

Leden van NERG en studenten hebben gratis toegang. De kosten van deelname voor niet-leden bedragen f 15,00. Betalingen dienen vóór 15 JANUARI te zijn ontvangen op girorekening 164515 t.n.v. Penningmeester NERG, Postbus 39, 2260 AA Leidschendam.

Ir. P. R. J. M. Smits,
Programmacommissaris NERG
Tel. 070 - 3323600

Leidschendam, december 1991

ASIC Linearizes Analog Sensor Signals

Ir. H. Vrielink
Director of Circuit Design
Sierra Semi-conductors B.V.
's-Hertogenbosch

The precise measurement of temperatures with minimal outlay in components was the goal for the Dutch Company Tonja Sensor Technology.

The measurement of temperatures to an accuracy of 1/10°C in the range -200°C to +1300°C and above is, as a consequence of the nonlinear behavior of the thermocouple used, often associated with considerable problems and generally requires a high outlay in components. Help is now at hand with an ASIC developed jointly, the integrated microcontroller of which linearizes the voltage signals generated by the temperature sensors and enables precise measurements at a fraction of the cost of conventional methods.

Portable measuring devices, consisting of about 120 components and six potentiometers, which display temperatures to an accuracy of ± 0.5 % and which have a single sensor connection, have already been available from many specialists in electronic thermometers and fully customized measurement solutions, for a number of years. Increasing competitive pressure from Japan, coupled with user requirements for increased measurement accuracy, have prompted the customer's development group to consider making a new type of measuring device.

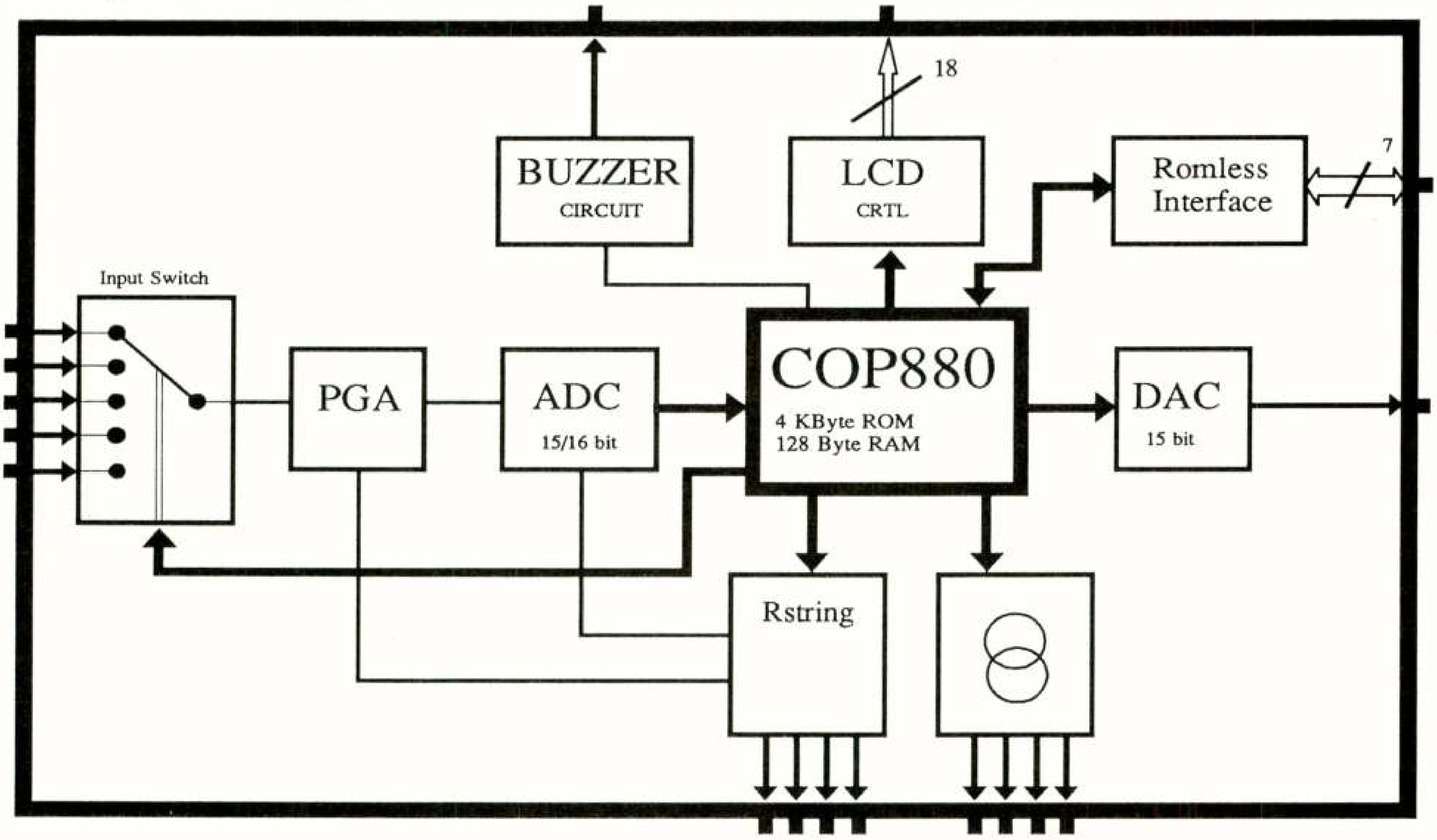
The primary concern was a reduction in the number of components required in the construction of the device and hence a drastic reduction in the assembly costs (target: 40%). In addition, the new generation of devices was to be equipped with two input channels.

Universal ASIC Solution

The key to the solution was an analog/digital ASIC (Fig. 1), produced by Sierra Semiconductor using 2 µm CMOS technology (Double Poly, Double Metal) and which, with the exception of the A/D and D/A converter, represents a standard cell design. In principle, the ASIC permits the construction of a complete multimeter.

The design of the ASIC was developed by Sierra Semiconductor under the supervision of the user who had not previously produced an ASIC but who was, however, very competent in the area of temperature measurement. Expressed simply, the semiconductor manufacturer told the user the constraints on the functions possible with CMOS technology. This formed the basis of a specification to the chip manufacturer permitting design of the ASIC in such a way as to make the future software compensation possible. In other words, an ideal combination for the production of a user-specific circuit.

TONJA , a VLSI device for the Linearisation of Different kinds of Analog Sensor signals.



10 conv./s , 14 bit accuracy , 2 mA power consumption.

Figure 1 : Block diagram of the ASIC constructed by Tonja Sensor Technology and Sierra Semiconductor and designated "Tonja". The objective of the CMOS component is to linearize differing sensor signals and hence enable the construction of temperature measuring devices.

A maximum of five different thermocouples (types K, J, and T), having an allowable accuracy of ± 0.02°C, can be connected across an integrated 5:1 multiplexer.

The PGA (Programmable Gain Amplifier) is designed as a so called instrumentation amplifier with an input capacitance of typically 1pF. The programmability is achieved by means of a switchable resistor network. All necessary amplification factors in the range 20 to 80 x to be set using software.

The heart of the ASIC is a serial 8 bit microprocessor (COP880) with 4 kbyte ROM and 128 byte RAM which linearizes the temperature signals of the K, J, and T thermocouples and ensures that the chip operates with a conditioning error of less than ± 0.05°C. The theoretical linearization tables for all thermocouples are stored in the on-chip ROM.

The resolution of the integrated A/D converter (Dual Slope Procedure) in the ASIC is to 16 bits, its linearity to 15 bits (dependent on the external RC specification). The internal D/A converter functions with a linearity of 15 bits. Both the ADC and the DAC were developed specifically for the customer and are now included in the Sierra Semiconductor standard cell library.

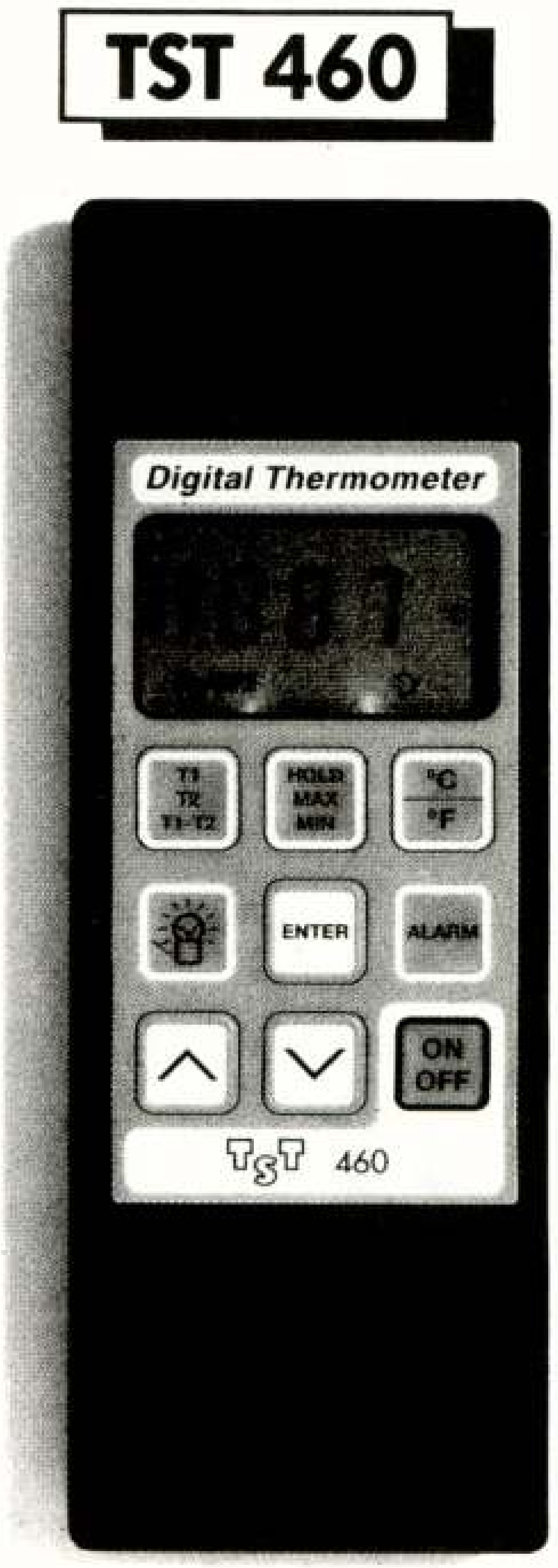
Also integrated in the ASIC is a so-called "buzzer", which emits an appropriate signal if certain temperature values are exceeded or not achieved; a relay can also be tripped. The set points can be stored in an optional external EEPROM. Various items of data related to the sensors can be stored in the EEPROM (option).

In addition, there is a current source on the chip with 4 outputs, switchable by software and also an LCD driver for 45 segments.

The construction of a complete measuring device with which two temperature values can be read and their difference calculated automatically now only requires 20 components (excluding the battery). The LCD, the 1024 bit EEPROM (format 64 x 16), the crystal and RC circuit for the A/D converter are counted as external components.

A voltage reference is not integrated on the ASIC. A 5 V supply IC (costs approx. 1 US $) is fully adequate as a reference. Due to its relatively low current consumption (2 mA typical), the ASIC is suited for connection to a 4 mA industrial bus.

An advantage of this ASIC system is that it does not have to be adjusted by the user and is self-regulating, independently of the connected thermocouple. This feature was achievable by the COP880 microcontroller having access to all relevant on-chip components. E.g. the A/D and D/A converters specified for 12 bit absolute accuracy in the temperature range −40 to +180°C do in fact achieve an overall precision of 14 bits which can be attributed to the on chip microprocessor control.



Range −200°C up to 1,372°C or selectable −328°F up to 2,502°F.
Dual probe input.
Thermocouple 'K'.
Maximum error ±0.5°C ±1 digit (±0.9°F ±1 digit) of the reading.
Selectable reading resolution 0.1 or 1 degree.
Hold function freezes the actual reading.
Hold max./Hold min. updates the measured maximum of minimum temperature on the display.
Differential measurement T1-T2 or single channel measurement T1 or T2.
Display backlight.
Programmable high alarm with display indication and audio buzzer signal.
The buzzer generates a series of beeps for approximately 10 seconds to alert you.
The display indication remains as long as the temperature exceeds the setpoint.

Figure 2: Heart of the temperature measuring devices is a customized integrated circuit, which reduces the overhead of components to a minimum.

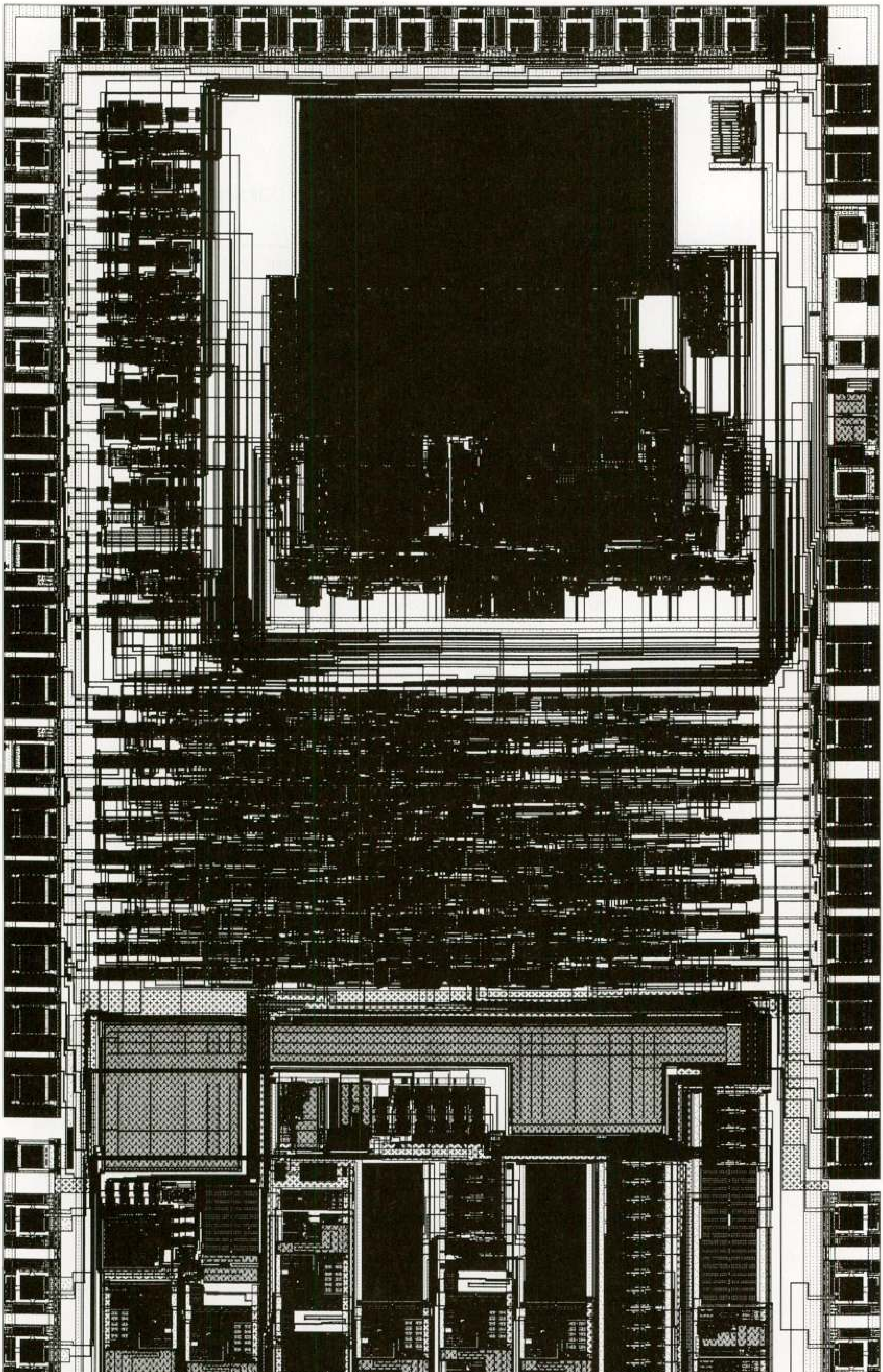
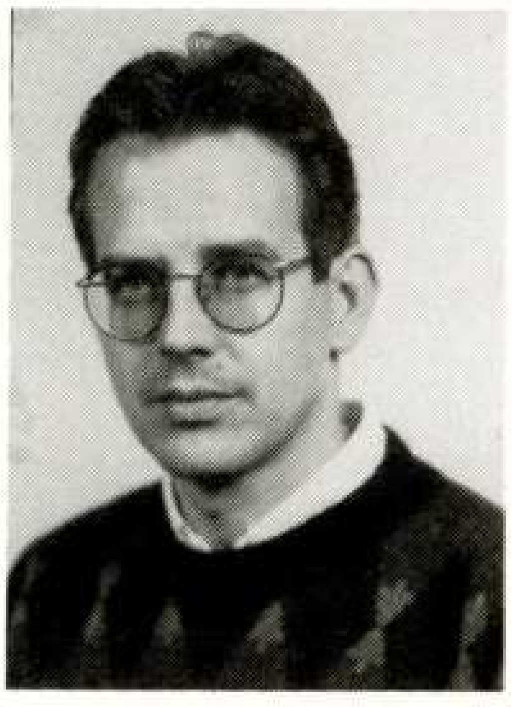


Figure 3: The TONJA chip layout.

Voordracht gehouden tijdens de 394e werkvergadering.

NEDERLANDS ELEKTRONICA- EN RADIOGENOOTSCHAP
395e werkvergadering



F. VAN DEN DOOL

UITNODIGING voor de lezingendag op donderdag 13 februari 1992 in de gehoorzaal van PTT Research, St. Paulusstraat 4, Leidschendam.

THEMA: FAST PACKET SWITCHING

PROGRAMMA:

15.00 - 15.20 uur : Ontvangst en thee

15.20 - 15.30 uur: Welkomstwoord door de voorzitter

15.30 - 16.00 uur: Inleiding over Fast Packet Switching
PROF. IR. F. VAN DEN DOOL, PTT Research en TU Eindhoven

16.00 - 16.30 uur: Frame Relay and Fast Packet Switching - New Architectures for Data Networks
SIMON J. WILDERS, Stratacom

16.30 - 17.00 uur: Fibre Distributed Data Interface (FDDI)
IR. H. N. CARBIÈRE, PTT Research

17.00 - 17.30 uur: Fast Packet Switching bij PTT Telecom
IR. A. GÜLTUNA, PTT Telecom

17.30 - 18.30 uur: Koud buffet

18.30 - 19.00 uur: Metropolitan Area Networks: breedbandcommunicatie nu
DR. T. D. POELHEKKEN, PTT Research

19.00 - 19.30 uur: "Northern Telecom in Frame Relay & Future Revolution"
MICHEL HÉBERT, Northern Telecom N. V.

19.30 - 20.00 uur: Interworking van Frame Relay en Cell Relay
IR. A. J. J. KERKHOF, PTT Research

20.00 - 20.30 uur: Fast Packet Switching
G. W. KLOCEK, AT&T Network Systems Nederland

20.30 - 21.00 uur: **Borrel**

21.00 uur: **SLUITING**



G.W. KLOCEK

Aanmelding voor deze dag dient te geschieden vóór 30 JANUARI aanstaande door middel van de aangehechte kaart, gefrankeerd met een postzegel van 60 cent.

Het aantal deelnemers is beperkt tot 120. Tijdstip van ontvangst van aanmelding is beslissend voor deelname. Als blijkt dat u wegens overtekening niet kunt deelnemen, ontvangt u hierover van ons bericht.

Leden van NERG, medewerkers van Koninklijke PTT Nederland NV en studenten hebben gratis toegang. De kosten van deelname voor niet-leden bedragen f 15,00. Betalingen dienen vóór 30 januari te zijn ontvangen op girorekening 164515 t.n.v. Penningmeester NERG, Postbus 39, 2260 AA Leidschendam.

Ir. P. R. J. M. Smits
Programmacommissaris NERG
Tel. 070 - 332 36 00

Leidschendam, januari 1992

FAST PACKET NETWORKS – PRIVATE AND PUBLIC

Simon J. Wilders
StrataCom
U.K.

This paper considers the reasons why fast packet switching is now the technology of choice for both private corporate networks and for public frame relay data networks.

Simon Wilders is the European Business Development Manager for StrataCom. Previous positions were held with BT and IBM. He has an MA in Engineering Science from Oxford University and an MSc in Telecommunications from Aston University.

Introduction

Fast packet switching has emerged as the technology of choice for two diverse applications: private corporate backbone networks and frame relay public services.

This paper examines the reasons why corporations and carriers are selecting fast packet switching, offering bandwidth on demand, to provide solutions for data communications in the 1990s.

What is fast packet switching?

Today's communications networks are built using high-speed digital trunks that inherently provide a network with high throughput, low delay and a very low error rate. The transmission network provides a highly reliable service to the user without the overhead of error control functions.

Fast packet networks provide additional services by adding a layer on top of the transmission network. Unlike traditional X.25 packet switches, fast packet switching uses a hardware-based switching technique, resulting in very high speed switching (100,000 to 1,000,000 packets per second). Because fast packet networks have very high throughputs and low delays they can be used for all kinds of communication traffic: voice, video, synchronous data and frame relay data.

Networks using fast packet switching transmit all information across a digital trunk in a single packet format, and all packets are transported through the network using common switching, queuing and transmission techniques. Fast packets are small, of fixed-length, and, because they contain an address identifying the connection, have the ability to self-route through the network.

Unlike Time Division Multiplexing (TDM) technology, fast packet switching provides bandwidth on demand to users of communication networks. Bandwidth is not pre-allocated, but is instantaneously self-allocated by a connection when it generates packets. Fast packets are generated only when real information is transferred, not just because a connection exists. As a result, fast packet networks use about half the bandwidth of TDM networks for most voice and data applications, and provide bandwidth on demand for bursty data applications.

The use of a common packet format for transport of all network traffic results in simple packet routing and multiplexing. Since packets are self-routing, service can be rapidly restored in the event of a digital trunk failure.

The term "fast packet switching" as used in this paper has to be distinguished from high-speed X.25 packet switching. The fact remains that X.25 is a three layer protocol which performs error detection and correction on a link-by-link basis in the network. This can lead to up to 60% of the bandwidth being consumed by X.25 protocol overhead. The assumption made by fast packet switching is that digital links are virtually error-free and there is no need to perform the protocol-intensive functions of X.25. Any error correction that is needed is performed on an end-to-end basis by higher layer protocols.

Market Drivers

Whilst traditional voice and point-to-point data applications are still very important, we are experiencing some fundamental changes in driving applications due to the rapid growth in the interconnection of LANs over wide area networks.

Some estimates put the growth in LAN interconnect traffic at up to 40% per annum while non-LAN traffic is growing at maybe 5% per annum.

Coupled with the growth in LANs is the development of new styles of computing involving client-server relationships as opposed to traditional host-to-terminal architectures. The new mode of distributed processing is better suited to a wide area network which is essentially transparent to LANs: that is to say, the response times over the WAN are such that the user is unaware of the location of the resource being accessed.

LAN-to-LAN traffic is characterized by being very bursty in nature. Any particular link between two LANs is probably utilized for less than 15% of the time but a high peak throughput is desirable in order to provide good performance.

A new standardized interface, known as frame relay, has been developed to efficiently transport bursty data from LANs over a WAN. Frame relay is an interface with a "light-weight" protocol to reduce processing overheads. Designed to take advantage of the very low-error rates available from digital circuits, frame relay offers significantly higher performance than X.25.

Clearly, the bursty traffic from LAN sources is best served by a network which can deliver bandwidth on demand. This is the reason why using a frame relay interface to a fast packet network is such a powerful solution for the interconnection of LANs.

Fast Packet Switching and Broadband ISDN

Fast packet switching is synonymous with cell switching which is the transport technology selected by CCITT to provide the new broadband ISDN services. Cell switching is being standardized by CCITT where it is known as the asynchronous transfer mode (ATM). In the broadband ISDN reference model I.413, user interfaces to ATM networks are defined for data rates of 155.52 Mbps and 622.08 Mbps (Sonet OC-3 and OC-12 respectively).

Although ATM is being standardized to operate at these very high speeds, fast packet switching has been in operation very successfully in private networks for over five years. These private networks typically use E1 (2.048 Mbps), T1 (1.544 Mbps) or lower speed digital trunks.

However, the benefits of a cell switching technology apply at both narrow band and broadband speeds. As carrier-based ATM services become available, it is likely that narrow band cell switching products will act as feeders into broadband ATM networks, providing the adaption layer between customer premise equipment and cell-based carrier services.

Fast Packet Switching in Private Networks

Available since 1986, fast packet switching is now well-established in private networks. There are now in the order of 150 fast packet private networks in the world spanning Europe, North America and the Pacific Rim. Most are using digital trunks at E1 and T1 data rates but often international links at lower speeds are used.

The key benefits for private networks are:

- support of both fixed and variable bandwidth services, including voice, video, synchronous data and frame relay;
- the cost-effective use of bandwidth;
- reliability and fast rerouting;
- a manageable and adaptable platform.

Fast packet switching is a unifying technology which can efficiently support fixed bandwidth services such as voice, video and point-to-point synchronous data, including the requirement to provide a low-delay and fixed delay service. The bandwidth for such classes of traffic is *guaranteed* if needed but is not *exclusively* reserved. This point is crucial because it means that any unused bandwidth can be allocated to variable bandwidth services.

Simultaneously, variable bandwidth services such as frame relay can also be supported. Typically, for a variable bandwidth service, a minimum bandwidth is guaranteed for a connection with the provision that more bandwidth can be instantly allocated should it be available.

A typical corporate backbone network without fast packet switching is illustrated in figure 1. Here various applications are carried on different networks, totally independent of each other. Even if TDM multiplexers are employed for some applications, the backbone bandwidth is viewed as being segregated for different applications.

Figure 2 shows a fast packet backbone network providing a unifying transport technology to carry efficiently all forms of corporate information. An adaption layer is used to provide a mapping from the intrinsic nature of cell switching in order to provide network services with different characteristics such as low delay, fixed bandwidth services and variable delay, variable bandwidth services.

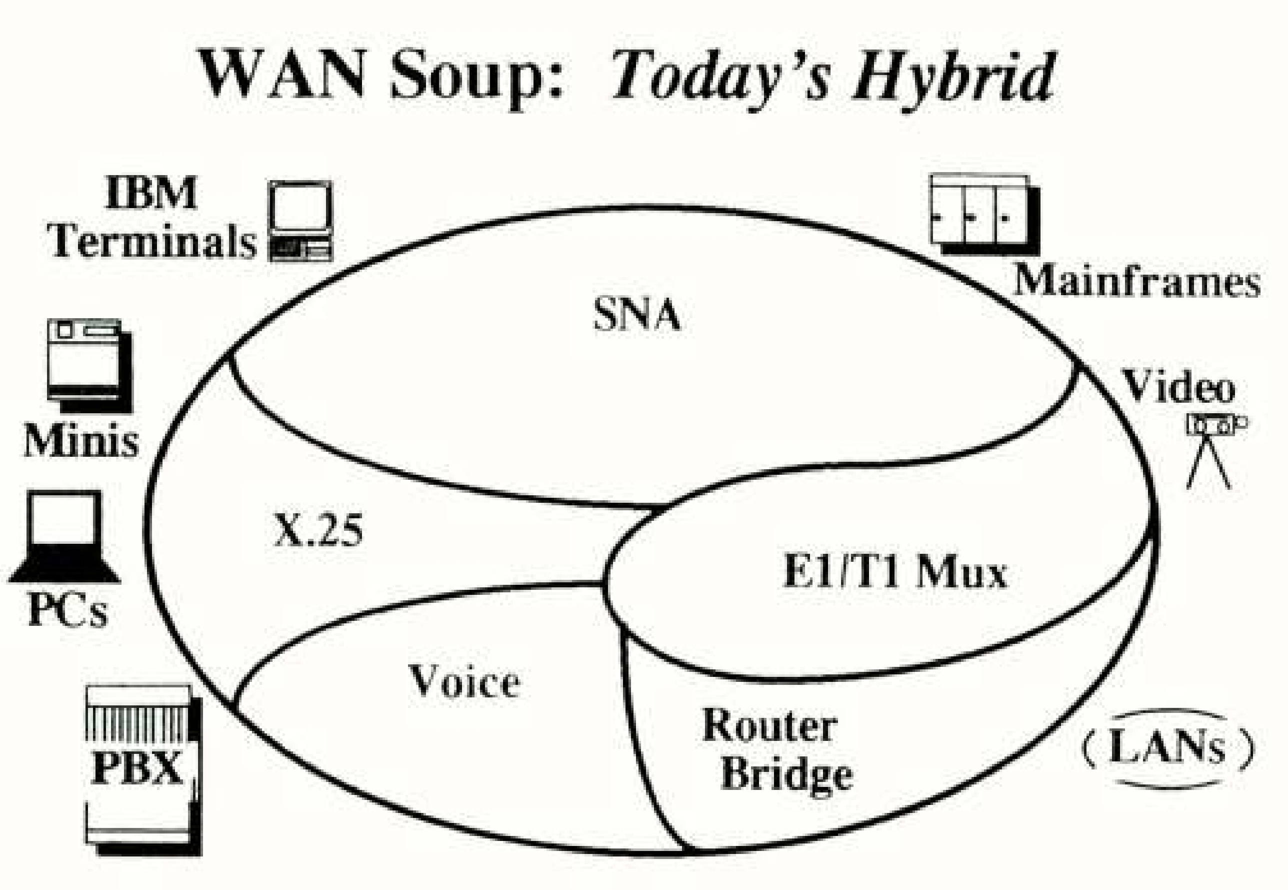


Figure 1

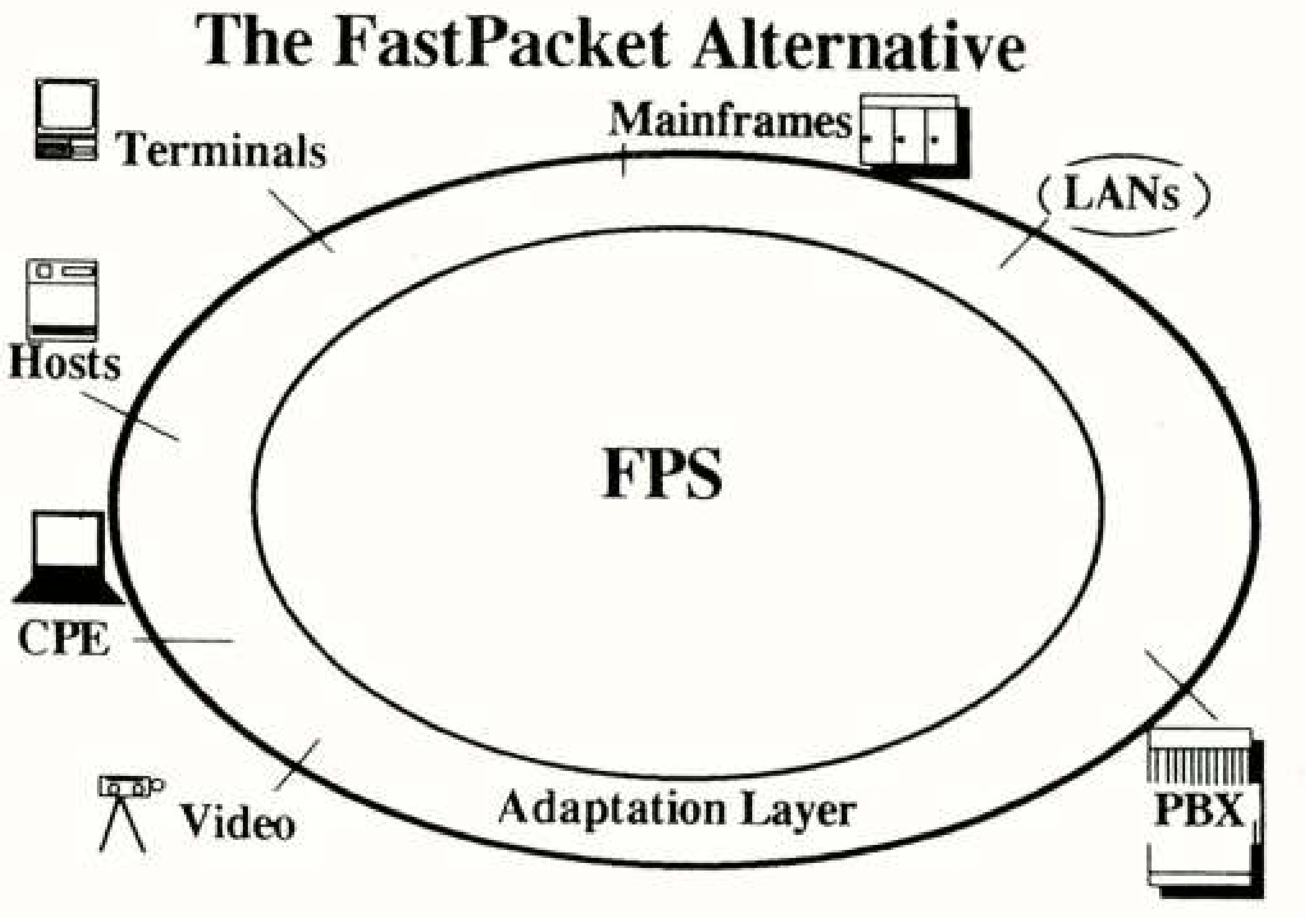


Figure 2

The fact that fast packet switching allows bandwidth to be allocated on demand allows voice and synchronous data to be handled in a particularly efficient way. For voice it is normal to distinguish between speech bursts and silence and only transmit the speech bursts. This allows advantage to be taken of the statistics of a normal voices conversation where, on average, 60% of the time is silence.

In a somewhat similar manner, advantage can be taken of the redundancy in data streams where there are often many strings of repeated characters. These repeated characters do not need to be sent over the backbone network when an algorithm known as "repetitive pattern suppression" can be used to regenerate the characters.

Silence suppression with voice leads to a 2:1 bandwidth efficiency, and repetitive pattern suppression can give savings in the range of 2:1 to 5:1 depending on the characteristics of the data stream.

The principle of usage activated bandwidth is illustrated in figure 3.

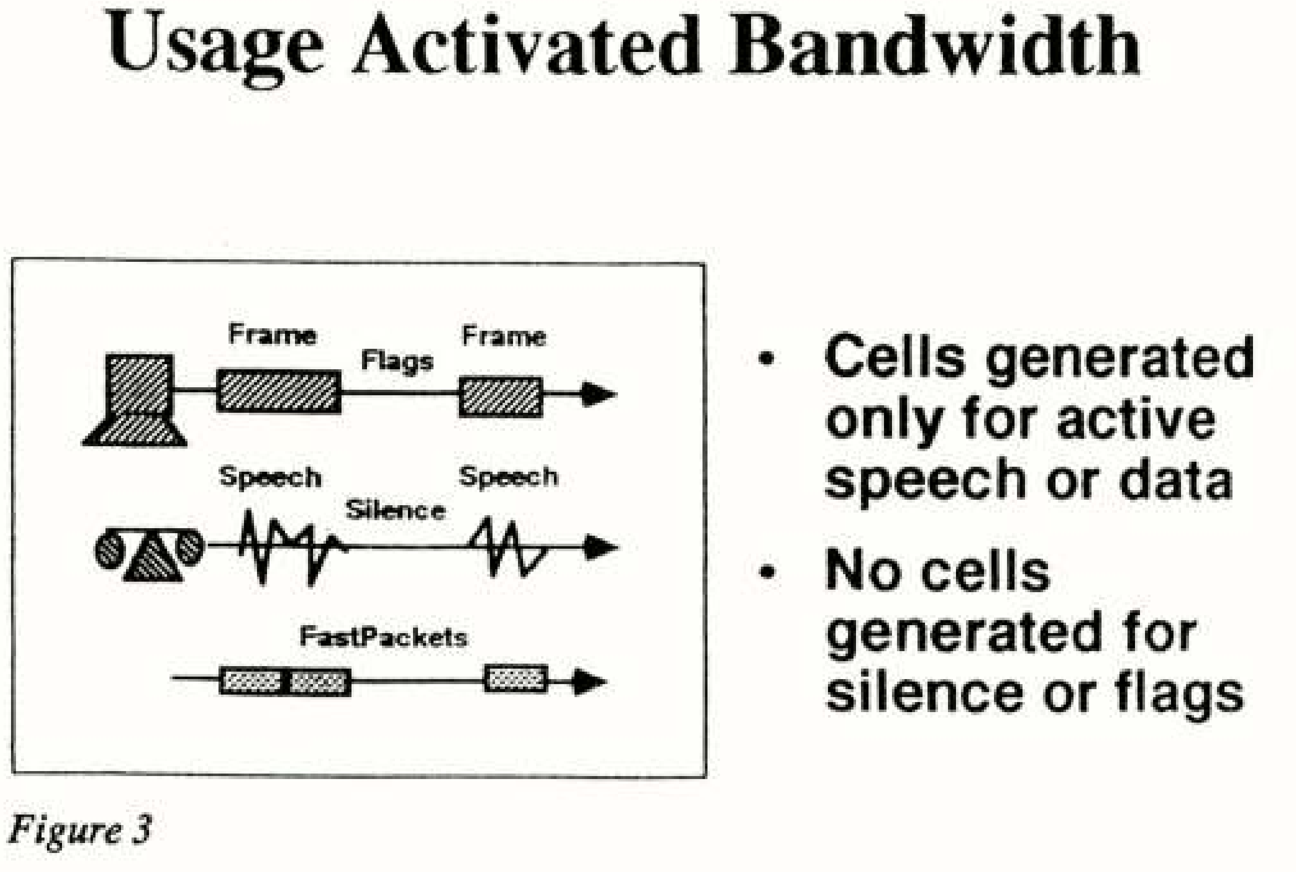


Figure 3

The reliability and robustness of a fast packet switching backbone network derives from the simplicity of a single switching fabric to carry all user information, signalling traffic and network control messages. As mentioned previously the inherent self-routing nature of fast packets leads to fast rerouting which can be in the sub-second range.

Fast packet switching networks give users a transport technology which can carry all forms of corporate traffic such as SNA, X.25, voice, video, point-to-point data and LAN interconnect. A truly flexible infrastructure which can be adapted easily to the changing needs of the corporation.

Fast Packet Switching in Public Networks

Fast packet switching is now being increasingly adopted by carriers for the provision of public frame relay services for LAN interconnect services.

The requirement that carriers are having to address today is the provision of data service to efficiently interconnect LANs over a WAN. The simplest approach is to use leased lines but this becomes exorbitantly expensive for more than a handful of locations. Another approach is to use X.25, which at least has the benefit of delivering bandwidth on demand, but suffers from the protocol overheads of X.25.

Frame relay has emerged to fill this space. Standardized in ANSI T1.606 and soon to be adopted as a CCITT, frame relay is taking the marketplace by storm. A number of frame relay public services are already in operation in Europe and the United States, and further announcements are expected in the coming months.

Not only are carriers backing frame relay but there is also tremendous support from the vendor community, with over 50 suppliers active in the LAN interconnect marketplace attending the key industry body known as the Frame Relay Forum.

It is clear that frame relay is emerging as the preferred technology by carriers to provide LAN interconnection services. An alternative technique known as SMDS with an interface based on 802.6 MAN technology is faltering because of two reasons:

- the complete lack of SMDS-compatible customer premise equipment;
- the distance limitations of 802.6 MAN technology.

There is only one real option today for national or international LAN interconnect networks: that is frame relay.

Given the selection of frame relay as the interface standard for LAN-WAN networks, the next issue is the technology to be employed in the backbone network. The choices are:

- fast packet switching;
- frame switching;
- time division multiplexing.

Given that frame relay is a bandwidth-on-demand service, adopting a TDM solution is clearly a non-optimal solution because TDM provides fixed bandwidth connections rather than variable bandwidth. Allocating the frame relay traffic to a TDM connection immediately limits the peak throughput to less than the total trunk bandwidth.

Frame switching suffers from poor end-to-end delay performance due to the multiple store-and-forward delays of long frames. Also, a frame switch cannot support delay-sensitive traffic such as voice and synchronous data.

Fast packet switching offers the best of all worlds. Bandwidth can be provided instantaneously on demand, offering peak throughputs up to the total trunk bandwidth; store-and-forward delays are negligible because switching is on the basis of short cells rather than long frames; the fast packet infrastructure can transport delay-critical, fixed bandwidth classes of traffic as well as variable bandwidth frame relay. This is illustrated in figure 4.

Frame Relay Over FastPacket

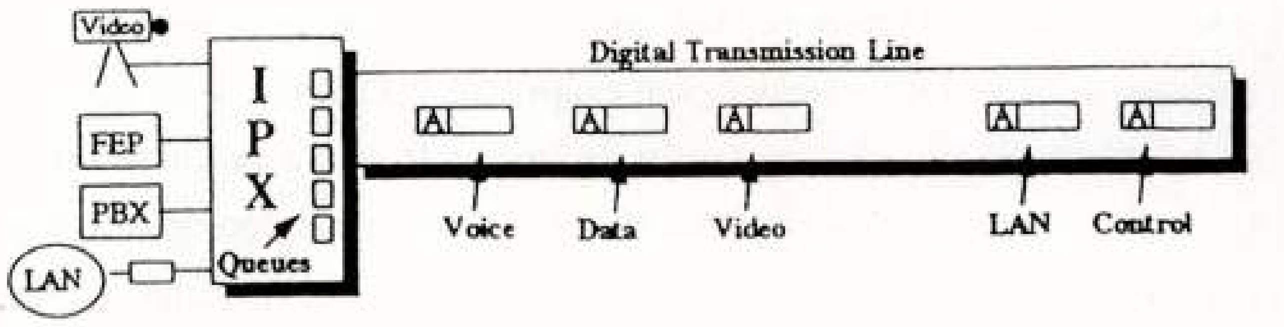


Figure 4

Thus, two major trends are emerging from carriers around the world for new data services for LAN interconnect: frame relay as the interface to customer premises equipment and the adoption of fast packet switching to provide the network infrastructure.

Conclusions

This paper has explored the major reasons why fast packet switching is being selected as the technology of choice to build both private corporate network and public networks offering new data services.

The strong technical advantages for fast packet switching are borne out in the marketplace by the steady advance of fast packet switching into the private network sector and by the domination of the public frame relay marketplace.

Networks today, fuelled by the rapid growth in bursty data, require bandwidth on demand, rather than the allocation of bandwidth in fixed chunks. Fast packet switching naturally provides this feature, together with the ability to support all forms of information transfer, and is therefore the optimal choice for a backbone network technology.

Voordracht gehouden tijdens de 395e werkvergadering.

Verslag van de studiereis van elektrotechnische studenten aan de TUE in 1990, aan Zwitserland

De THOR studiereis van 1990 (van 19 juli tot 2 augustus) voerde dr.ir. P. Massee, ir. F.P.M. Budzelaar en 25 studenten naar een klein deel van Zuid-Duitsland en naar de industriële centra van Zwitserland.

De oriëntatie van deze excursie was dit jaar breed. Het doel was om zaken te laten zien die de interesse van alle elektrotechniek-studenten zouden opwekken zodanig dat alle drie de hoofdstromen (informatie- en communicatietechniek, meet- en regeltechniek en energietechniek en fysische elektrotechniek) ruim aan bod zouden komen. Dat de commissie erin geslaagd is dit doel te verwezenlijken moge duidelijk blijken uit de lijst van de bedrijven die bezocht zijn tijdens de studiereis. Een paar kleine voorbeelden van componenten en produkten die in produktie te zien zijn geweest zijn: grote stoomturbines, elektronische controle van treinmotoren, robots, liften, automatische telefooncentrales, thyristors enzovoort. De aandacht was hoofdzakelijk gevestigd op produktietechnologie maar er was ook aandacht voor research.

De eerste excursie, op donderdag 19 juli, was bij Siemens Mülheim. Hier worden enorme generatoren en stoomturbines gefabriceerd. Hierbij viel de trots van de werknemer op z'n produkt en z'n betrokkenheid bij de kwaliteitscontrole ons zeer op. Het werd ons duidelijk dat dit gestimuleerd wordt door de organisatie en dat dat hoog gewaardeerd wordt door het management. Een geheel andere activiteit van Siemens, namelijk automatisering kregen wij onder ogen bij ons bezoek aan Siemens Karlsruhe. Hier worden controle- en supervisiesystemen vervaardigd in een produktieproces met hoge automatiseringsgraad.

Na deze bezoeken bij Siemens in Duitsland werd afgereisd naar het industriële hart van Zwitserland: Zürich. Ons eerste bezoek aldaar was bij het researchlaboratorium van IBM. Bij dit instituut, waar verschillende Nobelprijs-winnaars gewerkt hebben, werd ons onderzoek naar ontwerpmethoden voor VLSI-chips getoond.

Tijdens het bezoek aan de ETH Zürich maakte vooral het zeer fundamentele onderzoek naar de betrouwbaarheid van elektronische schakelingen indruk. Opvallend was de over het algemeen intensieve samenwerking met de industrie.

ABB in Turgi wijdde ons vooral in in de wereld van "power control devices" en de produktie van "large power thyristors". Deze worden toegepast in treinen.

Alcatel STR is een van de weinige Europese bedrijven die automatische telefooncentrales maakt. Het heeft een individuele ontwerpfilosofie ontwikkeld, waarbij de intelligentie verdeeld is over een groot aantal onafhankelijke processoren in plaats van over een enkele grote processor. De ambiance van het bedrijf sprak iedereen ten zeerste aan.

Ons laatste bezoek in de buurt van Zürich was aan de op één na grootste liftenfabrikant van de wereld: Schindler. Daar kregen we te zien hoe intelligent een moderne lift kan zijn. De demonstratie, waarbij getoond werd dat Schindler-liften (inclusief die van de TU-Eindhoven) over de hele wereld konden worden bestuurd vanuit het hoofdkwartier in Ebikon, bracht sommige studenten op leuke ideeën.

Na dit bezoek werd de reis naar Zuid-Zwitserland ingezet. In de buurt van Sion werd de waterkrachtcentrale "barrage la grande dixance" bezocht. Na een theoretische inwijding over het verzamelen van water en het omzetten ervan in elektriciteit werden we ook rondgeleid langs eerst het grondstation en later ook langs de zeer imposante stuwdam.

De zeer elementaire zaken speelden een centrale rol bij onze excursie bij CERN in Genève. Na een algemeen theoretische inleiding werden we rondgeleid langs enkele grote experimentele opstellingen en een controlekamer. De grote variëteit in leeftijd van de experimentele apparatuur, van redelijk oud en toch zeer betrouwbaar tot zéér modern en geavanceerd, vonden wij zeer opvallend.

In het R&D-laboratorium van de Zwitserse PTT (Bern) bleek men te werken aan een grote variëteit aan kleine projecten. De zaken die ons getoond werden liepen nogal uiteen: bliksem-problematiek en detectie, akoestiek en (digitale) studio-apparatuur en datacompressie en satellietcommunicatie (Olympus project).

Het laatste bezoek, dat in het kader van de Zwitserland-studiereis werd gebracht, was aan de universiteit van Lausanne. Hier werd ons een breed scala aan beeldverwerkingstechnieken getoond.

* * *

BREEDBANDCOMMUNICATIE NU: METROPOLITAN AREA NETWORKS

Dr. Tom Poelhekken en Ir. Jan Willem Limpers
PTT Research

SAMENVATTING

Broadband communication now: Metropolitan Area Networks

The demand for broadband services is rapidly increasing. Metropolitan Area Networks (MANs) can satisfy this demand and can in addition serve as a first step towards a Broadband Integrated Services Digital Network (B-ISDN). MANs are digital networks based on a shared broadband transmission medium and are well suited to extend LAN performance across large areas. In addition they allow users to allocate part of the bandwidth for guaranteed-bandwidth services like voice. The broadband transmission medium is shared by network nodes under the control of the Distributed Queue Dual Bus (DQDB) access protocol. Several MAN trials are carried out in various countries at the moment.

This paper briefly describes the MAN trial of the Royal PTT Nederland NV with a first generation MAN. Before the test configuration is outlined, the DQDB protocol and the services it support are briefly discussed. Evolution towards the future B-ISDN is also treated.

---

1. INLEIDING

In de 150 jaren sinds de uitvinding van de telegraaf hebben telecommunicatie-diensten zowel in diversiteit als in aantal abonnees een stormachtige ontwikkeling doorgemaakt. Te verwachten valt dat deze trend doorzet en dat er in het jaar 2000 een nog veel grotere verscheidenheid aan diensten zal zijn. Bovendien zullen veel van deze diensten meer capaciteit dan voorheen nodig hebben voor de overdracht van de informatie, oftewel meer bandbreedte.

PTT Research is actief betrokken bij het onderzoek naar nieuwe veelbelovende netwerkconcepten waarmee dergelijke breedbanddiensten zowel op korte als lange termijn geleverd kunnen worden. Eén van de netwerken die de laatste tijd volop in de belangstelling staat is het zogenaamde Metropolitan Area Network (MAN).

In dit artikel wordt na een beschrijving van MANs kort ingegaan op het bijbehorende toegangsprotocol en de diensten die geleverd kunnen worden. Verder wordt de relatief eenvoudige evolutie van MANs naar het Broadband Integrated Services Digital Network (B-ISDN) toegelicht. Tot slot wordt kort aandacht besteed aan een proef van PTT Telecom met een eerste commercieel MAN-produkt.

2. BESCHRIJVING VAN EEN MAN

Om op korte termijn aan de groeiende vraag naar breedbandcommunicatie over grote afstanden te voldoen kunnen MANs gebruikt worden. Deze netwerken [1,2] zijn gebaseerd op een gedeeld transmissie-medium. De verschillende gebruikers verkrijgen om de beurt toegang om hun informatie te verzenden door middel van een speciaal protocol.

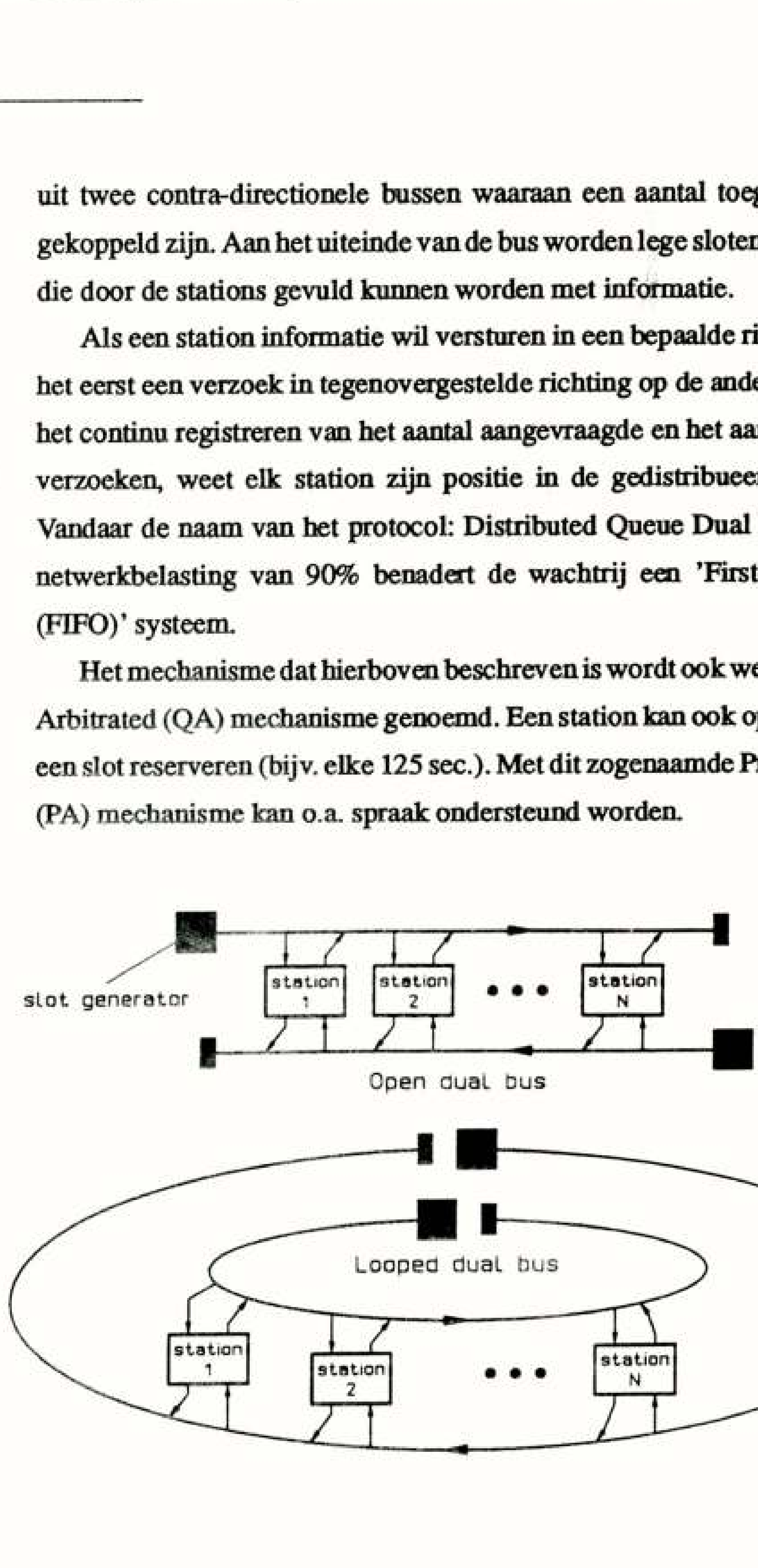
Een MAN bestrijkt een beperkt geografisch gebied (bijvoorbeeld een stad) maar kan verbonden worden met andere MANs om een groter gebied te bedekken. Hoewel MAN-technieken gebruikt kunnen worden in de privé-sector zijn ze met name geschikt om toegepast te worden in de openbare infrastructuur. Transportsnelheden van 2 tot 622 Mbit/s zijn mogelijk.

2.1 Het DQDB-protocol

Het toegangsprotocol voor MANs dat internationaal is gestandaardiseerd is het Distributed Queue Dual Bus (DQDB) protocol. Deze door het IEEE 802.6 comité ontwikkelde standaard [2] is eind 1990 afgerond. Figuur 1 laat de logische configuratie zien van het DQDB-systeem. Het systeem bestaat uit twee contra-directionele bussen waaraan een aantal toegangsstations gekoppeld zijn. Aan het uiteinde van de bus worden lege sloten gegenereerd die door de stations gevuld kunnen worden met informatie.

Als een station informatie wil versturen in een bepaalde richting, zendt het eerst een verzoek in tegenovergestelde richting op de andere bus. Door het continu registreren van het aantal aangevraagde en het aantal vervulde verzoeken, weet elk station zijn positie in de gedistribueerde wachtrij. Vandaar de naam van het protocol: Distributed Queue Dual Bus. Tot een netwerkbelasting van 90% benadert de wachtrij een 'First-In-First-Out (FIFO)' systeem.

Het mechanisme dat hierboven beschreven is wordt ook wel het Queued Arbitrated (QA) mechanisme genoemd. Een station kan ook op vaste tijden een slot reserveren (bijv. elke 125 sec.). Met dit zogenaamde Pre-Arbitrated (PA) mechanisme kan o.a. spraak ondersteund worden.



Figuur 1: De DQDB-topologieën

Een belangrijk pluspunt van het DQDB-protocol is de mogelijkheid om 'looped dual bus' configuraties te realiseren waarmee een fouttolerant systeem ontstaat (zie Figuur 1). In dit geval kunnen bij een kabelbreuk de functies van de slot-generator door de stations aan weerszijden van de breuk worden overgenomen, waarna het systeem weer functioneert met dezelfde performance als daarvoor.

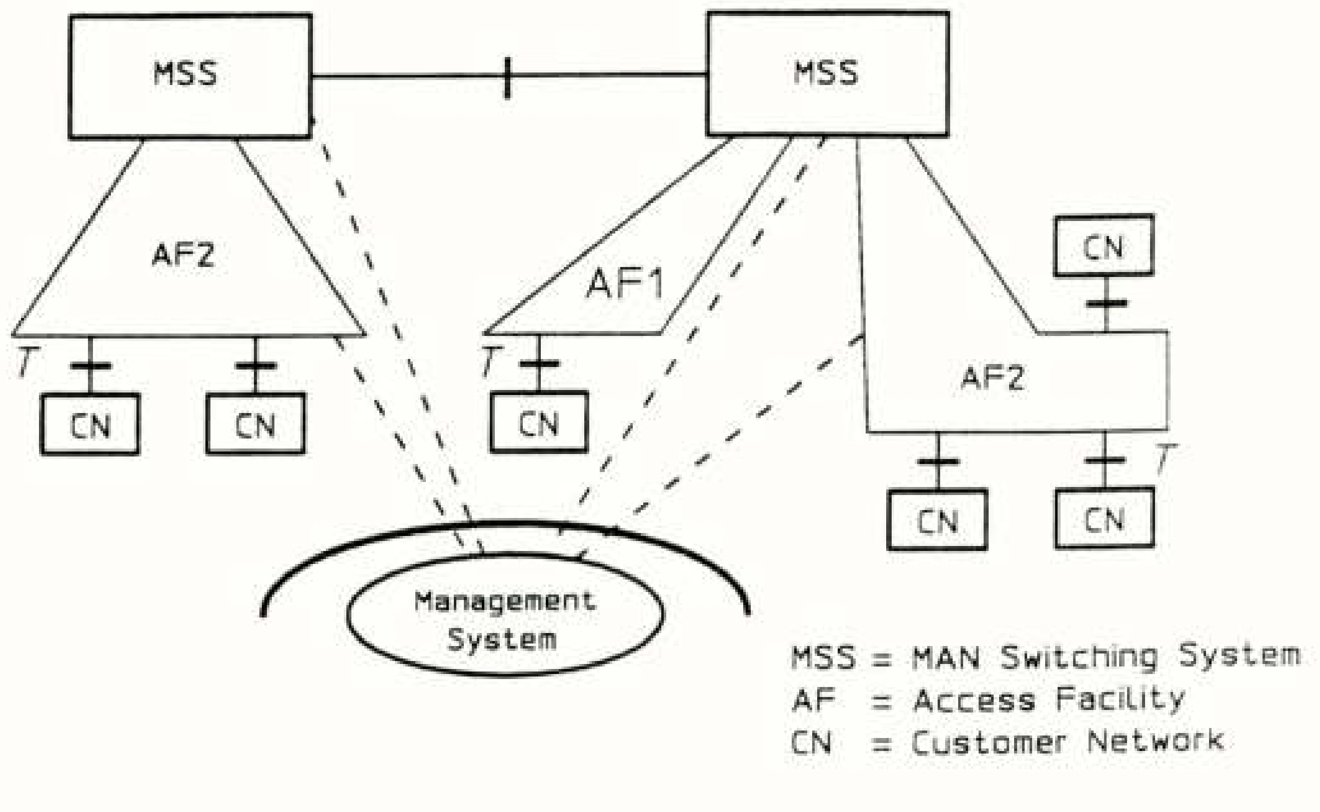
2.2 De MAN-architectuur

Door ETSI is bij de architectuur van MANs een opsplitsing gemaakt in een toegangsnetwerk (Access Facility) en een schakelsysteem (MAN Switching System) zoals getoond in Figuur 2. Er zijn twee verschillende toegangsconfiguraties gedefinieerd, beide gebaseerd op het DQDB-protocol [4]:

Access Facility 1 (AF1): voor iedere gebruiker loopt een aparte dubbele bus door tot op zijn grondgebied, waar één of verschillende toegangsstations zijn gelokaliseerd. Toegang tot het openbare net wordt geregeld door middel van het DQDB-protocol. De integriteit van het netwerk wordt gewaarborgd door apparatuur in het MSS.

Access Facility 2 (AF2): de dubbele bus, inclusief toegangsstations, maakt deel uit van het openbare net en wordt geheel beheerd door de PTT. De communicatie tussen de verschillende stations verloopt eveneens via het DQDB-protocol. Deze configuratie biedt de mogelijkheid om op economische wijze verschillende 'kleine' gebruikers samen de capaciteit van de DQDB-toegang te laten delen. De gebruiker heeft de keus uit verschillende protocollen (bijv. Ethernet, Token Ring, Frame Relay, FDDI, ATM en DQDB) voor de verbinding met het gedeelde DQDB-medium.

Beide soorten AFs zijn complementair. AF1 is bedoeld voor gebruikers met een grote bandbreedte-behoefte, terwijl AF2 als gevolg van een hardware reductie een goedkoper alternatief vormt voor gebruikers die met minder bandbreedte kunnen volstaan.



Figuur 2: De MAN-architectuur

Het Man Switching System (MSS) is technologie-onafhankelijk, d.w.z. het kan gebaseerd worden op diverse technieken en de topologie kan zowel gecentraliseerd als gedistribueerd zijn. Dit feit is van cruciaal belang voor evolutie, omdat het de integratie van nieuwe schakeltechnologieën sterk vergemakkelijkt (zie Hoofdstuk 4).

2.3 MAN-diensten

MANs kunnen een grote verscheidenheid aan diensten ondersteunen. Allereerst kunnen de oude vertrouwde telefonie en alle geassocieerde diensten zoals Fax, Teletex en Videotex worden geboden. Verder valt te denken aan diensten zoals video-vergaderen. Deze diensten vereisen een gegarandeerde bandbreedte en worden daarom geleverd via het bovengenoemde Pre-Arbitrated mechanisme.

De drijfveer achter de ontwikkeling van MANs is de groeiende behoefte aan snelle datacommunicatie geweest. In de eerste helft van de jaren tachtig zijn computernetwerken (Local Area Networks), waarmee terminals en PCs gekoppeld worden, snel ingeburgerd geraakt. Logischerwijs neemt ook de behoefte om die verschillende netwerken te koppelen toe. Bovendien heeft het aantal computer-applicaties, zoals het ontwerpen en vervaardigen met behulp van een computer (CAD/CAM), een snelle groei door gemaakt. Omdat deze diensten een wisselende behoefte aan bandbreedte hebben worden ze geleverd via het Queued Arbitrated mechanisme (zie Paragraaf 2.1).

2.4 SMDS

Naast het al bekende Frame Relay, een afgeleide van X.25, is er een nieuwe dienst die met name geschikt is voor LAN-interconnectie: de Switched Multi-megabit Data Service (SMDS) [3]. MANs zijn zeer geschikt om deze dienst te leveren. Binnen ETSI wordt een compatibele variant gestandaardiseerd, de zogenaamde Connectionless Broadband Data Service (CBDS) [4].

SMDS is bedoeld voor de openbare infrastructuur en schakelt data-pakketten met variabele lengte. Het doel van de dienst is feitelijk om een LAN-achtige performance over een grote afstand te kunnen leveren.

Elk pakket is uitgerust met een wereldwijd geldig bestemmings-adres aan de hand waarvan het pakket door het netwerk wordt gerouteerd. Elke individuele SMDS-gebruiker kan dus bereikt worden en bovendien is het mogelijk een groep gebruikers te adresseren (multi-cast).

De dienst biedt uitgebreide privacy en veiligheid-garanties. Bij aflevering van het pakket wordt het bestemmings-adres bekeken en voor verzending wordt in het openbare net het adres van de afzender op juistheid gecontroleerd. Ook kan door middel van tabellen opgegeven worden met wie men wel of niet wil communiceren (address screening). Op deze manier is het mogelijk om zogenaamde Virtuele Privé Netwerken te vormen.

SMDS is een 'connectionless' dienst, dat wil zeggen dat er geen vaste route en capaciteit in het netwerk gealloceerd worden. Als gevolg hiervan kan geen absolute garantie geboden worden dat de verzonden pakketten ook aankomen bij de bestemming (congestie). Een transport-protocol zorgt bij verlies voor heruitzending. Ter compensatie is een optie ingebouwd om de gebruiker alleen te laten betalen voor die pakketten die ook daadwerkelijk zijn aangekomen bij de bestemming. Om het netwerk beheersbaar te houden zijn er o.a. toegangsklassen gestandaardiseerd, die de hoeveelheid te verzenden informatie aan een maximum binden.

SMDS is onafhankelijk van de onderliggende technologie, momenteel kan het geboden worden over MANs maar in de toekomst zal het één van de diensten van het B-ISDN zijn.

3. RELEVANTIE VAN MANS

In principe kan een Metropolitan Area Network met de hiervoor genoemde diensten hetzelfde marktsegment bestrijken als het toekomstige B-ISDN gebaseerd op de Asynchrone Transfer Mode (ATM). Omdat MANs gebruik maken van een gedeeld medium hebben ze slechts een gelimiteerde doorvoercapaciteit. Verschillende MANs zullen gekoppeld moeten worden als de bandbreedtebehoefte van de gebruikers groeit. Een goede netwerkopbouw en dimensionering is daarom noodzakelijk. Een wereld-omvattend netwerk gebaseerd op MAN-technieken behoort daarom niet tot de reële mogelijkheden.

Toch wordt verwacht dat MANs een voortrekkersrol kunnen vervullen door de PTT in staat te stellen al vroegtijdig een beperkte set van breedbanddiensten aan te bieden.

Een ander voordeel is het aspect van de kostenbesparing, enerzijds omdat een MAN gebaseerd is op een gedeeld medium waardoor verschillende gebruikers dezelfde glasvezel kunnen delen, anderzijds door de lage

aanvangsinvesteringen. In het begin als er nog maar een beperkt aantal klanten is voor MAN-diensten worden deze afzonderlijk aangesloten op de MAN die feitelijk werkt als een gedistribueerd schakelsysteem. Dit systeem kan langzaam uitgebreid worden. Dit in tegenstelling tot centrale schakelsystemen, waar al vanaf het begin grote overcapaciteit gereserveerd moet worden om op mogelijke groei voorbereid te zijn.

Een derde belangrijk punt is dat DQDB en ATM tijdens standaardisatie zeer goed op elkaar afgestemd zijn, wat evolutie relatief eenvoudig maakt [5].

4. Evolutie van MANs naar het B-ISDN

Het onderstaande introductie- en evolutiescenario is een samenvatting van [6]. Het scenario is geschreven vanuit het oogpunt van technische haalbaarheid.

Het einddoel van dit evolutiescenario is het B-ISDN gebaseerd op de Asynchrone Transfer Mode (ATM) [7]. De stappen in het scenario zijn gebaseerd op de ruwe fasering in de produktverwachting. Bij de interpretatie van de tijd-ladders is enige voorzichtigheid geboden. Het evolutiescenario kent drie hoofdfasen:

Fase 1: Introductie van DQDB (vanaf '92).

In de eerste implementaties zullen zowel het MSS als de AFs gebaseerd zijn op DQDB, maar dan nog niet conform de standaard specificaties. Op dit moment worden er in tal van landen proeven gedaan met dergelijk netwerken.

Vanaf 1993 zal ook standaard-apparatuur te koop zijn. Om een dienst als SMDS volgens de standaard-specificaties te bieden moet de apparatuur op de toegang vervangen worden. De 'oude' apparatuur kan echter hergebruikt worden in een MSS omdat deze immers technolgie-onafhankelijk is (zie Paragraaf 2.2). Op deze manier kunnen de aanvangsinvesteringen gewaarborgd worden.

Fase 2: Introductie van ATM ('93-96).

De verwachting is dat ATM-produkten in twee stappen op de markt zullen komen. Eerst simpele cross-connects rond '93-94, waarmee bundels verkeersstromen geschakeld worden. Het is nu mogelijk om het MSS op deze cross-connects te baseren. Nieuwe klanten krijgen nog steeds een DQDB Access Facility, maar deze worden nu gekoppeld d.m.v. semi-permanente paden in het ATM-MSS. Op deze manier worden de fundamenten voor het B-ISDN gelegd.

Rond 1995/96 zullen meer complexe netwerk-elementen op de markt komen, zoals real-time schakelaars met volledige signaleringsfunctionaliteit. Deze middelen worden ingezet in het ATM-gedeelte van het openbare net dat uitgroeit tot het B-ISDN zo gauw de eerste ATM-randapparatuur beschikbaar komt.

Fase 3: Afronding van B-ISDN (vanaf 2000).

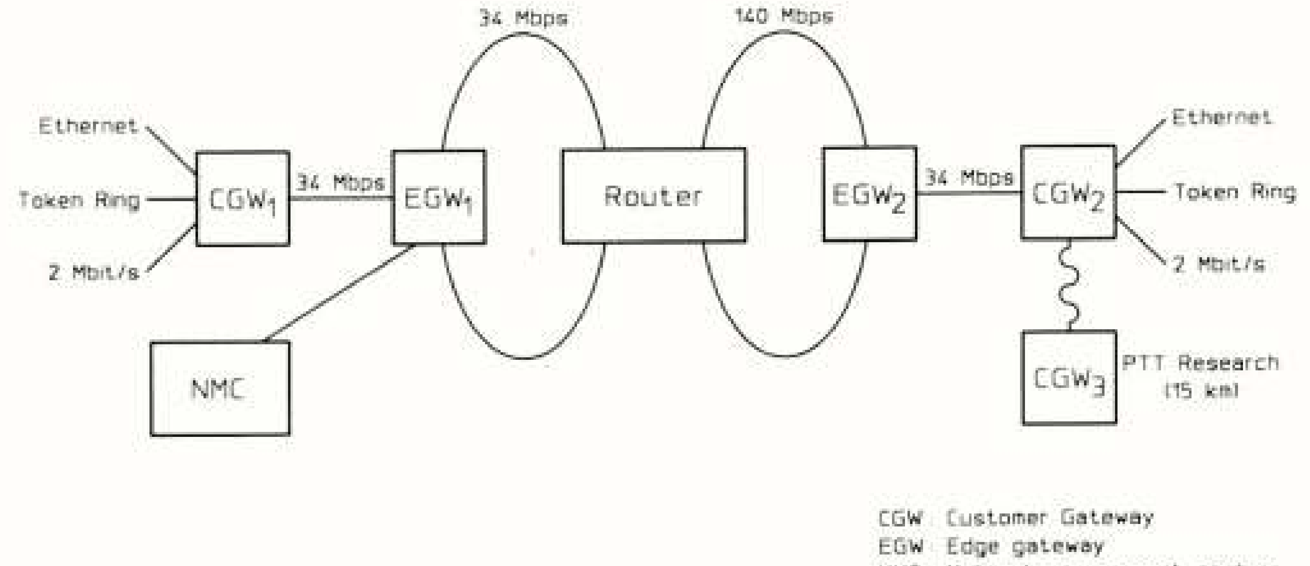
In deze laatste fase krijgen alle 'oude' DQDB-klanten een ATM-toegang, d.w.z. de volledige B-ISDN functionaliteit wordt op het T-referentiepunt geleverd. Het DQDB-protocol heeft namelijk geen verfijnde load-control eigenschappen als gevolg van de manier waarop connectionless diensten zoals SMDS ondersteund worden. Het nut van deze stap wordt echter sterk betwijfeld door sommige landen (met name de VS), vanwege de kosten en vanwege het feit dat men een rol ziet voor MANs als verzamelnetwerken voor breedbandig verkeer.

Samenvattend, het B-ISDN dat volgens het bovengenoemde scenario ontstaat, is een ATM-netwerk waarin enkele DQDB-eilanden (o.a. MSSs) ingekapseld blijven. Zolang de capaciteit van deze eilanden voldoende is kunnen ze blijven bestaan. Ze werken feitelijk als gedistribueerde ATM-schakelaars.

5. De MAN-proef van PTT Telecom

MANs kunnen een eerste stap op weg zijn naar het B-ISDN. Dit is dan ook de reden dat er internationaal veel aandacht is voor deze ontwikkeling. PTT Telecom volgt deze ontwikkeling nauwlettend en heeft gezien het belang van breedbandcommunicatie een proefsysteem gekocht. Dit systeem van de firma Alcatel is in mei '91 opgeleverd en is gedurende negen maanden uitgebreid getest. Op dit moment vindt de evaluatie van de resultaten plaats. Op basis hiervan zal besloten worden of PTT Telecom verder gaat met MANs in het algemeen en met de Alcatel-apparatuur in het bijzonder.

PTT Research is nauw betrokken bij het uitvoeren van de proef. Daarnaast verzorgt het meer theoretische studies van toegangsprotocollen, netwerkarchitecturen, evolutie- en interworking-aspecten, en de data-diensten die gebruik maken van MANs. Ook werkt PTT Research mee aan het totstandkomen van internationale MAN-standaarden.



Figuur 3: De proef-configuratie

De testconfiguratie is te zien in Figuur 3. Er is gepoogd een minimaal model van een openbaar netwerk te creëren dat echter alle essentiële netwerk-elementen bevat. Er zijn 'looped' bussen van 34 en 140 Mbit/s, onderling verbonden door een router. De toegang naar de klant is een 34 Mbit/s DQDB-link, waarbij de zogenaamde Edge GateWay (EGW) de netwerkintegriteit beschermt, d.w.z. deze voert functies uit zoals adres-validatie en tarifering. De zogenaamde Customer GateWay (CGW) is een clustering van vier DQDB-stations, waaraan ondermeer Ethernet en Token Ring gekoppeld kunnen worden. Ook is het mogelijk om 2 Mbit/s vaste verbindingen te realiseren voor het koppelen van PABXen.

Het merendeel van de opstelling bevindt zich bij PTT Telecom in Den Haag op één enkele locatie. Sinds oktober '91 bevindt de derde CGW zich in Leidschendam bij PTT Research, verbonden d.m.v. een 15 km lange glasvezel.

6. CONCLUSIE

Een Metropolitan Area Netwerk kenmerkt zich door een gedeeld medium en hoge transportsnelheid. Verwacht wordt dat MANs een voortrekkersrol kunnen vervullen doordat ze de PTT instaat stellen al vroegtijdig een beperkte set van breedbanddiensten aan te bieden.

Evolutie naar het B-ISDN is relatief eenvoudig, ten eerste, omdat DQDB en ATM op elkaar zijn afgestemd, en ten tweede, omdat door de (gestandaardiseerde) architectuur eenvoudig nieuwe technieken geïntroduceerd kunnen worden.

De eerste produkten zijn nu commercieel beschikbaar, hoewel ze nog niet volledig conform de standaard-specificaties gebouwd zijn. In tal van landen, waaronder Nederland, worden (veld)proeven gehouden. Met het beschikbaar komen van deze 1e generatie apparatuur is het breedbandtijdperk aangebroken.

REFERENTIES

1. R.M. Newman, Z.L. Budrikis en J. Hullet, IEEE Com. Mag., Vol. 26 No. 4 20 (1988)
2. IEEE Doc. P802.6, Local & Metropolitan Area Networks, (1990)
3. Bellcore Doc. on SMDS, TR-TSV-000772 and TR-TSV-000774, (1991)
4. ETSI/STC NA5, Draft ETSs on MANs, (1991)
5. T.D. Poelhekken, F. van den Dool en A.J.J. Kerkhof, Proc. Loc. Com. Sys., 63 (1991)
6. T.D. Poelhekken en F. van den Dool, Proc. Race 1022 Worksh. on Evolution, (1991)
7. F. van den Dool, Tijds. NERG, Deel 55 Nr. 1 (1990)

Voordracht gehouden tijdens de 395e werkvergadering.

INTERWORKING VAN FRAME RELAY EN CELL RELAY (DATACOMMUNICATIE GAAT 'FRAMED')

Ir A.J.J. Kerkhof
Koninklijke PTT Nederland N.V., PTT Research
Dr. Neher Laboratorium

ABSTRACT

Frame Relay (FR) and Asynchronous Transfer Mode are two well-known Fast Packet Switching techniques. It is shown that the interworking between these two techniques is possible. By comparing FR and ATM interworking functions are identified that have to be performed by a layer on top of the ATM layer: the ATM Adaptation Layer (AAL). Then the AAL is described as it is (internationally) standardised and is meant to support the same higher layer protocols as FR. Next it is shown that not all functions necessary for interworking are performed by the combination of ATM and AAL. Finally, two possible approaches are given to complete the set of necessary interworking functions. At the end it is stated that datacommunication itself is based on exchanging variable sized frames, but that the transfer of information in the networks will be cell based.

Title: Interworking of Frame Relay and Cell Relay (datacommunication is frame based[1]).

1. INLEIDING

Frame Relay en Cell Relay zijn beiden vormen van Fast Packet Switching. Fast Packet Switching is een techniek die mogelijk is geworden dankzij de ontwikkeling en het gebruik van (relatief) foutvrije transmissie-systemen zoals glasvezel. In een Fast Packet Switching netwerk vinden geen tijdrovende hertransmissiebewerkingen plaats zoals bij de huidige pakketgeschakelde netwerken (bijvoorbeeld X.25 [1]) het geval is.

Hoewel Frame Relay en Cell Relay ieder hun eigen specifieke kenmerken hebben, geldt voor beiden dat gebruikersdata in pakketten over virtuele verbindingen door het netwerk geschakeld wordt. Deze pakketten met gebruikersdata bevatten daartoe de benodigde besturingsinformatie voor het netwerk. Onder andere bevat deze besturingsinformatie een verbindingsidentificator die aangeeft tot welke virtuele verbinding het betreffende pakket behoort.

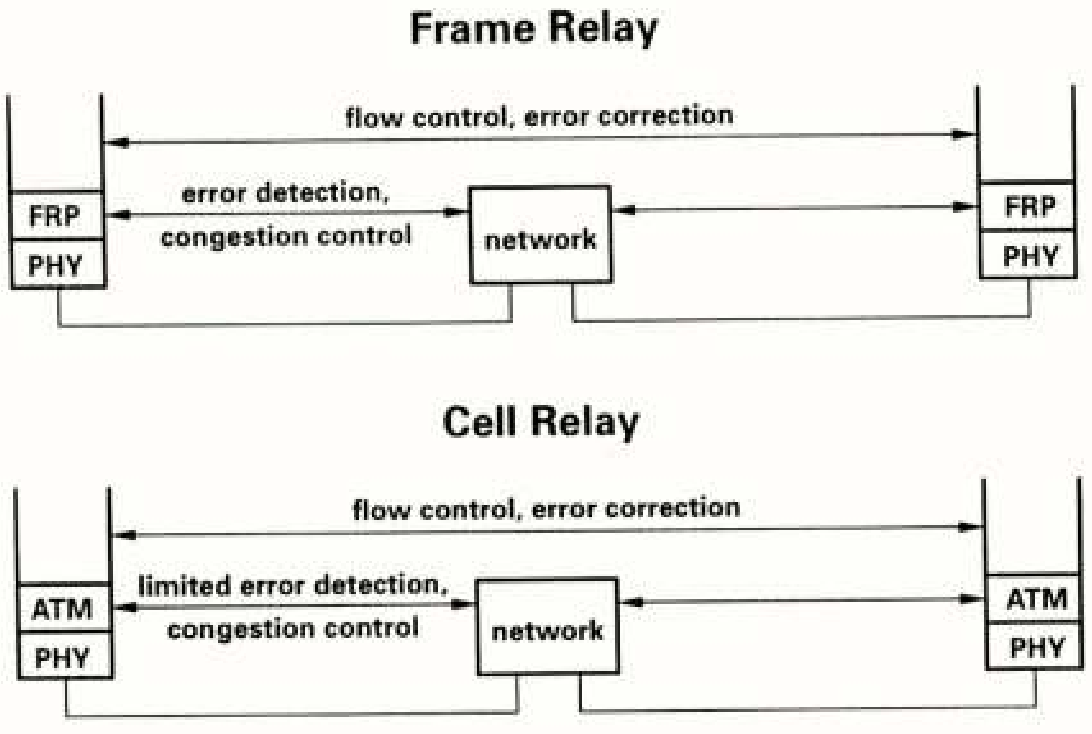
Deze twee vormen van Fast Packet Switching behoeven niet te worden gezien als concurrenten: ze kunnen met voordeel gecombineerd worden toegepast. Nu reeds bieden fabrikanten Frame Relay netwerken waarbij binnen het netwerk een cell relay techniek wordt gebruikt. Een van de redenen voor deze keuze is dat de huidige randapparatuur wel snel kan evolueren naar Frame Relay (vaak alleen nieuwe software), maar dat Cell Relay apparatuur nog nauwelijks voorhanden is (ingrijpende wijzigingen benodigd).

Daarnaast geldt dat het bestaan van beide vormen van Fast Packet Switching vrij snel de wens om deze netwerken te koppelen tot gevolg heeft.

2. KENMERKEN VAN FRAME RELAY EN CELL RELAY

Frame Relay en Cell Relay netwerken kenmerken zich door de beperkte handelingen die in het netwerk dienen te worden verricht. Figuur 1 laat zien dat de meeste functies in de beide typen netwerken identiek zijn: in de netwerken vindt wel een vorm van foutdetectie en congestiebeheer plaats, maar geen flow control en geen foutcorrectie, indien deze functies door de gebruiker toch gewenst zijn, dient hij ze zelf uit te voeren.

Alleen qua foutdetectie bestaat het verschil dat bij Frame Relay volledige foutdetectie plaatsvindt (d.w.z. zowel de netwerkbesturingsinformatie als de gebruikersdata is beschermd), terwijl bij Cell Relay slechts beperkte foutdetectie uitgevoerd wordt (nu is alleen de netwerkbesturingsinformatie beschermd). Dit is niet een manco van de Cell Relay techniek, maar een



Figuur 1: Kenmerken van Frame Relay en Cell Relay

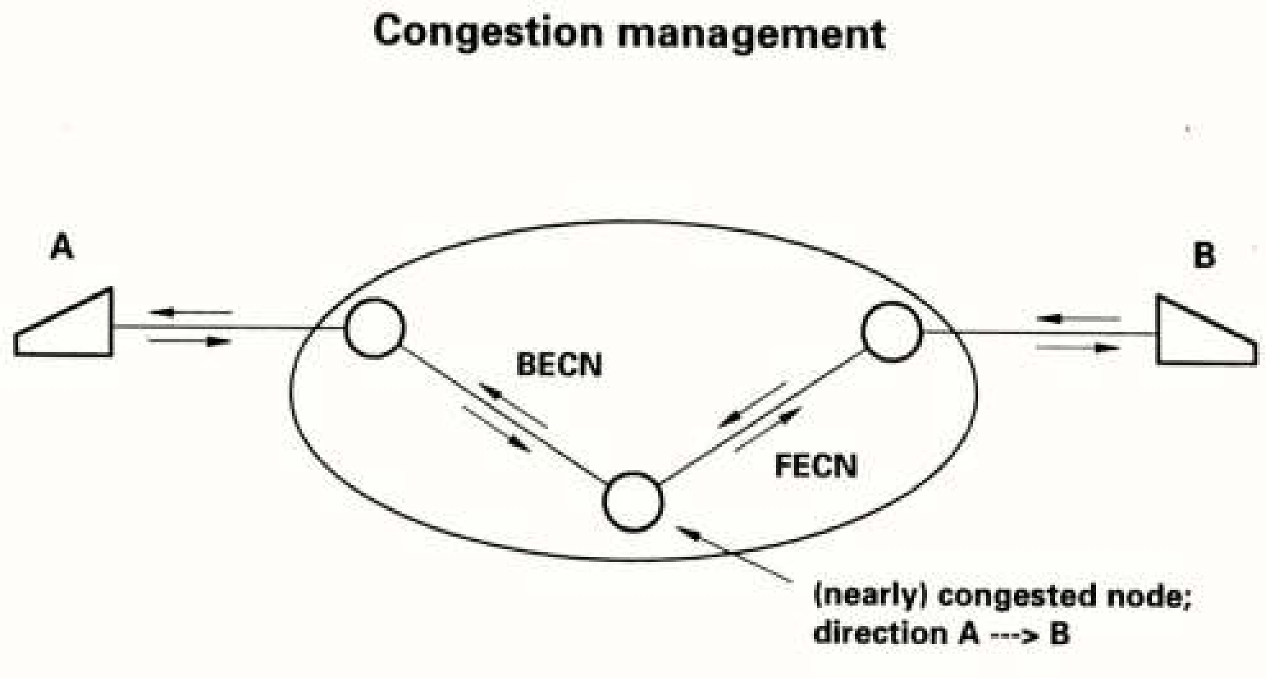
tegemoetkoming naar gebruikers die voordeel kunnen behalen van het aankomen van informatie die een of enkele bitfouten bevat (denk daarbij bijvoorbeeld aan telefonie: ruis of af en toe een klik wordt niet onoverkomelijk geacht).

2.1 Congestiebeheer

Zowel Frame Relay als Cell Relay hebben een vorm van congestiebeheer. Hiervoor wordt in het netwerk geen flow control uitgevoerd, maar wordt gecontroleerd of de gebruiker zich houdt aan de afspraken onder andere wat betreft de gemiddelde snelheid.

Daarnaast leveren Frame Relay netwerken de gebruiker informatie over de mate van congestie in het netwerk; deze informatie wordt meegegeven aan de pakketten die gerouteerd worden via de schakelaar die in een congestiesituatie dreigt te geraken, zie figuur 2. Daarbij kan de congestie-informatie in twee richtingen worden meegegeven: een pakket dat onderweg een schakelaar passeert die voor die richting in een congestiesituatie dreigt te geraken, krijgt een 'voorwaartse' melding mee die de ontvanger op de dreigende congestiesituatie attendeert, en een pakket dat via de tegengestelde richting deze schakelaar passeert, krijgt een 'achterwaartse' melding mee die de bron op de dreigende congestiesituatie attendeert.

1 The dutch sentence has a double-meaning and sounds like: datacommunication commits adultery.



Figuur 2: Congestiemanagement bij Frame Relay

Service classification for ATM Adaptation layer

service class / parameter	A	B	C	D
bitrate	constant	variable		
end-to-end timing	related		not related	
connection mode	connection oriented			connectionless

- Frame Relaying designed for support of service classes C & D
- AAL type 1 ---> Service Class A
  AAL type 2 ---> Service Class B
  AAL type 3/4 ---> Service Class C + D

Figuur 3: Serviceklassificatie voor de ATM adaptatielaag

2.2 Pakketlengte

Frame Relay is een schakeltechniek waarbij gebruikersdata in pakketten met variabele lengte over virtuele verbindingen door het netwerk geschakeld wordt; deze pakketten worden *frames* genoemd. Bij Cell Relay is sprake van pakketten met vaste lengte; deze pakketten worden *cellen* genoemd.

2.3 Standaarden voor Fast Packet Switching

Er is een versie van Frame Relay door het Comité Consultatif International Télégraphique et Téléphonique (CCITT) gestandaardiseerd [2] [3], deze heeft zijn naam (Frame Relay - FR) verleend aan deze vorm van Fast Packet Switching. Van Cell Relay zijn er twee versies gestandaardiseerd: de Asynchrone Transfer Mode (ATM) door CCITT [4], en de Distributed Queue Dual Bus (DQDB) door het Institute of Electrical and Electronic Engineers (IEEE) [5]. Hieronder wordt alleen ATM vergeleken met Frame Relay (overigens geldt dat DQDB zeer nauwe verwantschap vertoond met ATM, in het bijzonder ten aanzien van de wijze waarop datacommunicatie wordt ondersteund [6]).

2.4 Te ondersteunen diensten

ATM is een Cell Relay techniek die is ontworpen om iedere dienst te ondersteunen. Om de verschillende toepassingen te ondersteunen dienen functies te worden toegevoegd in de apparatuur die aangesloten is op het ATM-netwerk, hiervoor is een aanpassingslaag gedefinieerd: de ATM Adaptation Layer (AAL) [7]. Om het aantal AAL-typen (d.w.z. AAL-protocollen) enigszins te beperken is een dienstklassificatie voor de AAL gedefinieerd. Uitgangspunt daarbij is dat het AAL-type slechts afhankelijk van de dienstklasse mag zijn, niet van de specifieke toepassing.

De dienstklassificatie is gebaseerd op de attributen: bitsnelheid, eind-eind tijdrelatie, en connectie-mode. Dit levert vier dienstklassen op, zie figuur 3. Voor iedere dienstklasse is een AAL-type gedefinieerd, te weten AAL-type 1, 2, 3 en 4 [8].

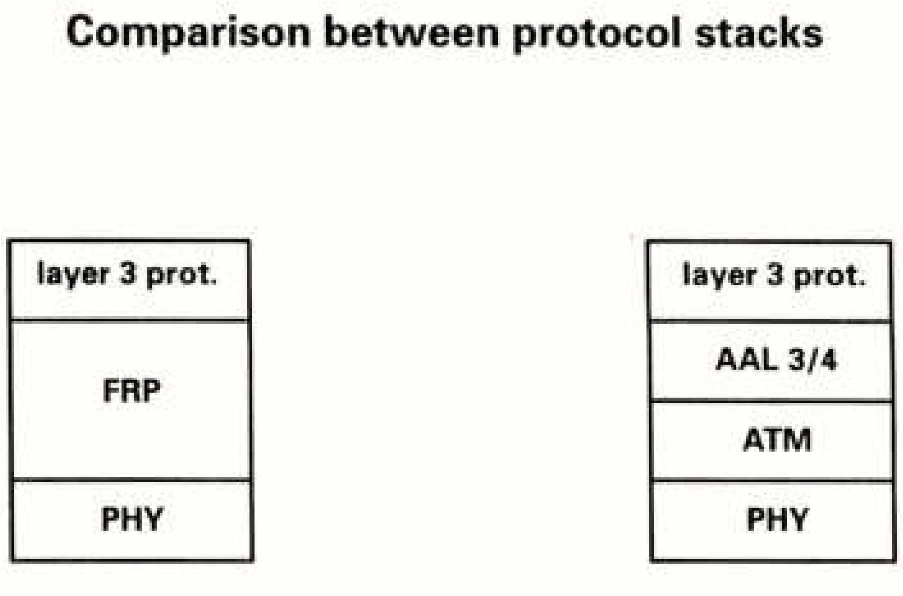
FR is een techniek die specifiek is ontworpen om datacommunicatie te ondersteunen, dus voor het ondersteunen van dienstklasse C en D. De interworking tussen FR en ATM concentreert zich daarom op AAL-type 3 en 4.

3. VERGELIJKING VAN FRAME RELAY EN ATM

Om te kunnen vaststellen op welke wijze de samenwerking tussen FR en ATM kan worden gerealiseerd, worden de twee technieken in detail vergeleken.

3.1 De protocolstapels

Allereerst worden de protocolstapels vergeleken, zie figuur 4. Deze figuur toont dat de combinatie van ATM en AAL-type 3 en/of 4 dezelfde netwerklaagprotocollen (d.i. laag 3 van het OSI-model) moet kunnen ondersteunen als het Frame Relay Protocol (FRP). Dit is de eerste randvoorwaarde voor de samenwerking tussen FR en ATM.



Figuur 4: Vergelijking van protocolstapels

3.2 Functionele vergelijking

Een nauwkeurige vergelijking van de functies in beide netwerken komt neer op het vergelijken van de besturingsinformatie van de frames in een FR-netwerk en de cellen in een ATM-netwerk. Aan de hand hiervan is het mogelijk om de eisen te bepalen die aan AAL-typen 3 en 4 moeten worden gesteld. Figuur 5 toont de vergelijking van de functionaliteit van respectievelijk FR- en ATM-netwerken. Figuur 6 laat de bijbehorende structuur van de Protocol Data Units (PDU) van respectievelijk FR en ATM zien.

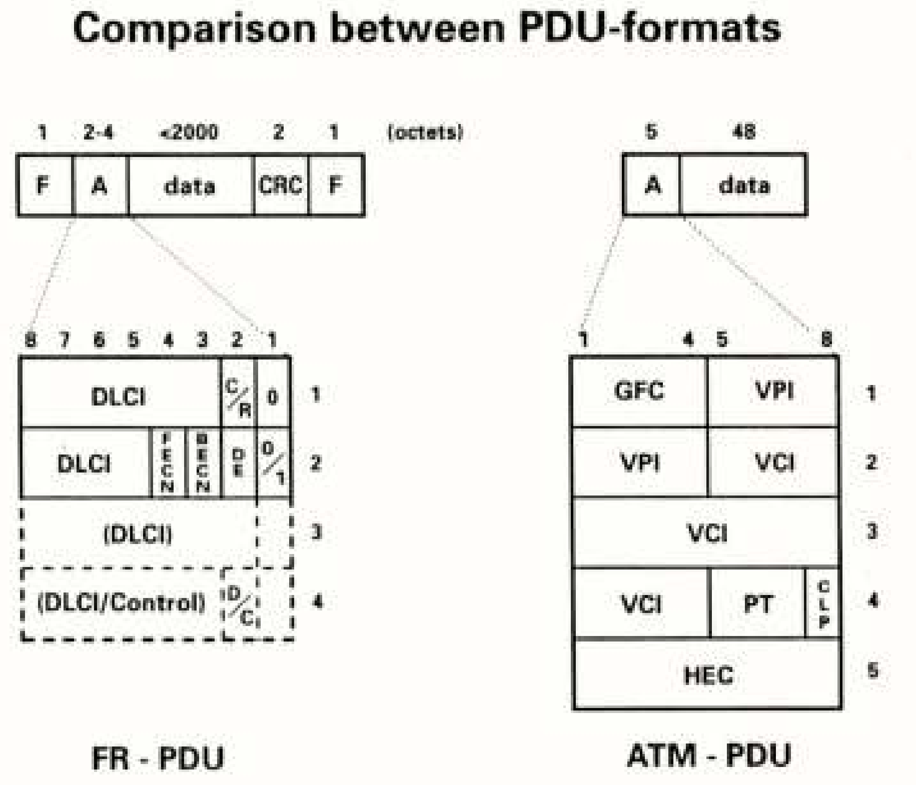
Deze vergelijking levert het volgende op:

1. *Frame delineation:*
   In geval van FR kan het begin en het eind van een frame worden herkend dankzij het toevoegen van een specifiek patroon (flag) tussen de frames. Mocht dit patroon in het frame zelf voorkomen, dan wordt bitstuffing toegepast.
2. *Error detection:*
   Bij FR wordt zowel de netwerkbesturingsinformatie als de gebruikersdata gecontroleerd op bitfouten, bij ATM alleen de netwerkbesturingsinformatie. Foutdetectie van de gebruikersdata dient dus door de AAL te worden uitgevoerd.

Comparison between support of functionalities

Function	*FR*	*ATM*
frame delineation	Flags/bitstuffing	HEC
error detection: address field data part	} CRC (address + data)	HEC (only address) ---> *AAL*
multiplexing	DLCI (10/17/25 bits)	VPI + VCI (24 bits)
congestion control: - loss priority - forward congestion notification - backward congestion notification	 DE FECN BECN	 CLP (under study) PT (under study) ---> *AAL*
transfer of one bit of user control information	C/R	---> *AAL*
preservation of SDU	max. length <2000 octet	max. length <48 octet ---> *AAL*

Figuur 5: Vergelijking van functies



Figuur 6: Vergelijking van de structuur van de pakketten

3. *Multiplexing:*

   FR en ATM gebruiken beiden verbindingsidentificatoren om de virtuele verbinding in het netwerk te identificeren. FR gebruikt hiervoor standaard een 10-bits veld in het FR-PDU dat eventueel uitgebreid kan worden tot een 17- of 25-bits veld. Een ATM PDU bezit hiervoor een 24-bits veld. De multiplex-capaciteit van beide technieken is voldoende gelijk om geen belemmering te zijn voor eenvoudige interworking.

4. *Congestion control:*

   Een FR-PDU bezit een 1-bit veld voor verlies-prioriteit, waarmee de schakelaars in het netwerk kunnen zien of het betreffende PDU i.g.v. congestie juist als eerste of als laatste moet worden weggegooid. In de ATM-PDU is wel een Cell Loss Priority veld gedefinieerd, maar of dit op dezelfde wijze zal worden gebruikt als in FR, is nog niet vastgelegd. FR heeft de mogelijkheid om naderende congestie te melden aan de gebruikers, zowel voorwaarts als achterwaarts, respectievelijk Forward Explicit Congestion Notification (FECN) en Backward Explicit Congestion Notification (BECN) [9]. ATM lijkt nu de voorwaartse variant (FECN) over te nemen, hiervoor wordt het Payload Type (PT) veld gebruikt. De achterwaartse variant zal echter niet worden overgenomen. Ten behoeve van de samenwerking tussen FR-netwerken en ATM-netwerken zal de AAL deze door het FR-netwerk gegenereerde informatie transparant moeten kunnen doorgeven.

5. *Transfer of one bit of user control information:*

   Besturingsinformatie die alleen bestemd is voor de hogere laag is in principe gewoon gebruikersdata en zou dus niet zichtbaar moeten zijn in het besturingsinformatie-veld van een PDU. Dat dit in geval van FR toch nodig is, is puur het gevolg van historische beslissingen (het FR-PDU is afgeleid van een bestaand protocol dat deze eigenschap bezit). FR-gebruikers die deze mogelijkheid daadwerkelijk willen benutten, zullen tevens van de AAL verwachten dat deze mogelijkheid geboden wordt.

6. *Preservation of SDU:*

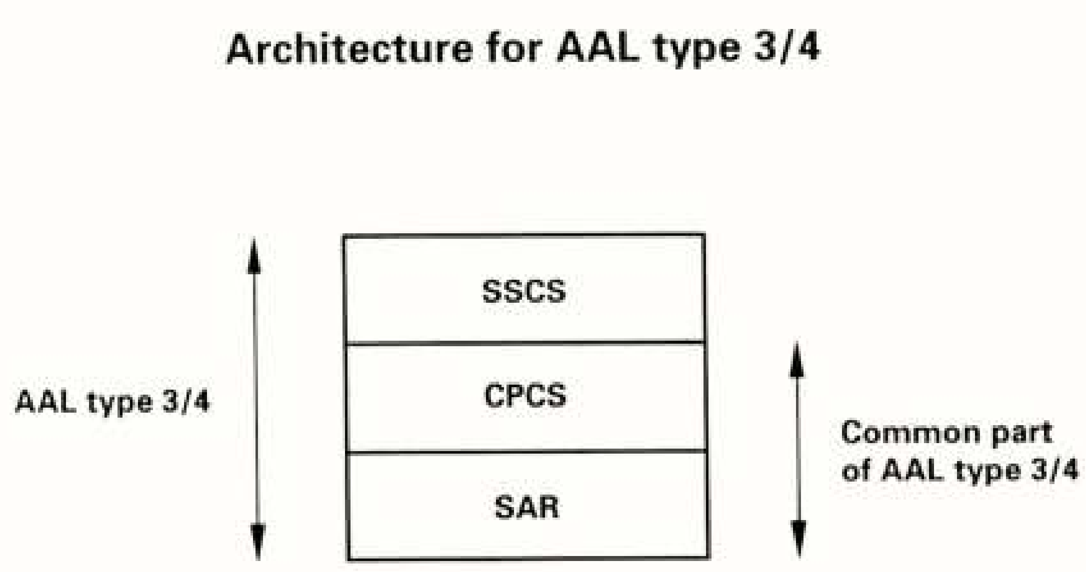
   De lengte van FR-PDU's is variabel, maar de maximale hoeveelheid gebruikersinformatie in een FR-PDU is beperkt tot 2000 octetten als gevolg van het mechanisme om bitfouten te herkennen (een 16-bits Cyclic Redundancy Check) en het foutgedrag van de gebruikte transmissiesystemen. De lengte van ATM-PDU's is vast (53 octetten, waarvan 48 octetten voor gebruikersdata en 5 octetten voor netwerkbesturingsinformatie). Om grotere brokken gebruikersdata te kunnen transporteren over een ATM-netwerk dient de AAL een segmentatie- en reassemblatie-functie te bieden.

4. AAL-TYPE 3 EN 4

Gebaseerd op bovenstaande vergelijking kan de AAL worden gedefinieerd.

4.1 Protocol-architectuur van AAL-type 3 en 4

FR is geschikt om dienstklassen C en D te ondersteunen, daarom is het niet verwonderlijk dat AAL-type 3 en 4 vele overeenkomsten vertonen. Dit is weergegeven in figuur 7, waar de AAL is opgedeeld in drie sublagen. De onderste twee, de Segmentation and Reassembly sublaag (SAR) en het Common Part of the Convergence Sublayer (CPCS), zijn identiek voor AAL-type 3 en 4. De bovenste sublaag, het Service Specific part of the Convergence Sublayer (SSCS), kan de meer specifieke functies bevatten die een optioneel karakter hebben, denk daarbij bijvoorbeeld aan foutcorrectie d.m.v. hertransmissie.



Figuur 7: Architectuur van AAL-type 3/4

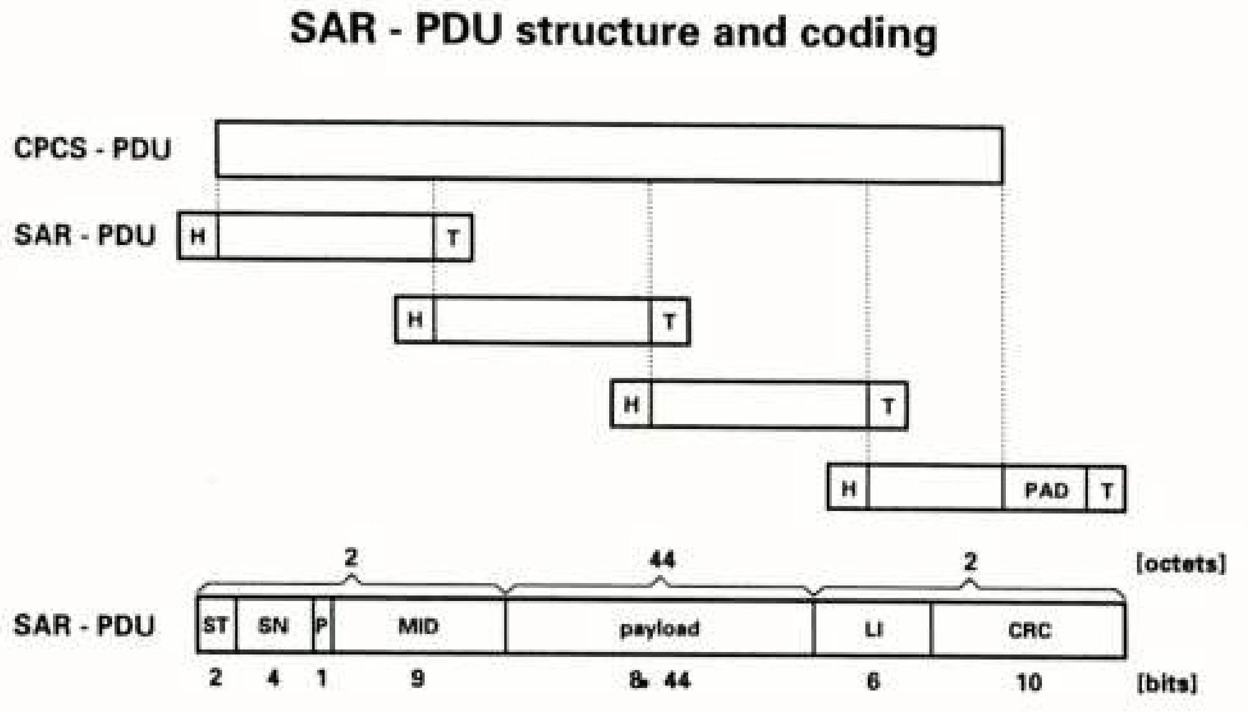
4.2 SAR-sublaag

De belangrijkste functie van de SAR-sublaag is het transporteren van grote pakketten in de ATM-cellen van vaste (meestal kleinere) lengte. In figuur 8 is weergegeven dat de SAR-sublaag daarvoor de CPCS-PDU opdeelt in stukken van 44 octetten en er vervolgens een Header (H) en een Trailer (T) aan toevoegd. Als het CPCS-PDU niet precies een veelvoud van 44 octetten is dan zal de laatste SAR-PDU opgevuld worden tot een lengte van 44 octetten (padding-functie).

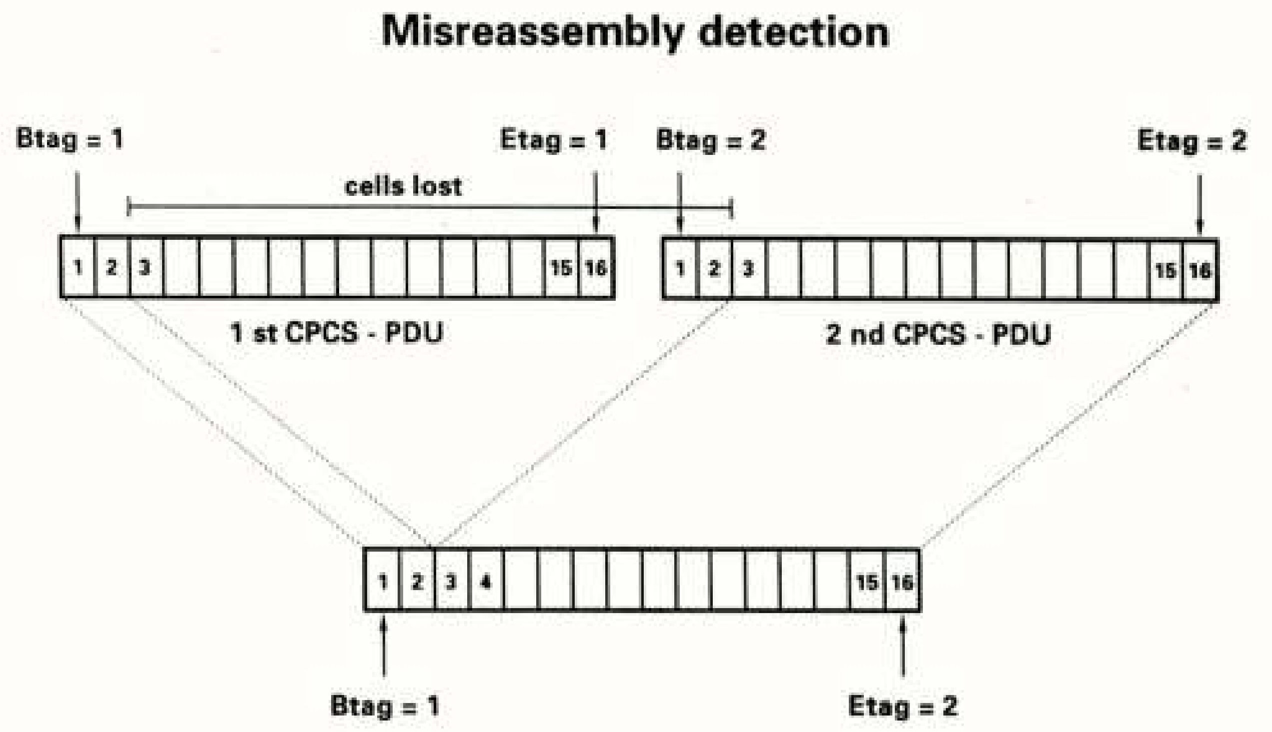
De structuur van de Header en Trailer is ook weergegeven in figuur 8:

1. *Cyclic Redundancy Check (CRC);*

   M.b.v. een 10-bits CRC kunnen bitfouten in de SAR-PDU worden gedetecteerd.



Figuur 8: SAR-PDU structuur en codering



Figuur 9: Detecteren van foutieve reassemblatie

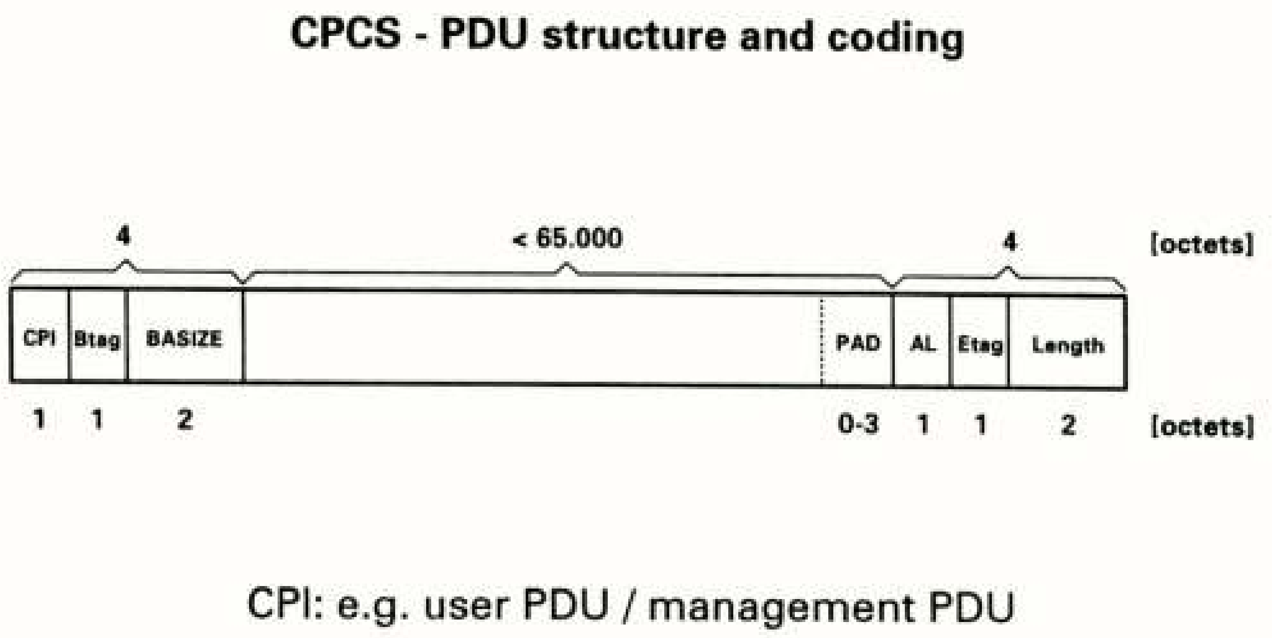
2. *Length Indicator (LI);*
   De waarde van dit veld geeft aan hoeveel octetten gebruikersdata in de SAR-PDU worden vervoerd.
3. *Segment Type (ST);*
   Het ST-veld kent vier waarden en geeft aan of de CPCS-PDU in een enkele SAR-PDU wordt vervoerd of dat het betreffende SAR-PDU een begin van een CPCS-PDU vervoert, een middenstuk, of het laatste gedeelte van een CPCS-PDU. Hiermee kan al een eerste indicatie verkregen worden of een gedeelte van een CPCS-PDU is verdwenen.
4. *Sequence Number (SN);*
   Als een CPCS-PDU zodanig groot is dat het vervoerd moet worden in meer dan drie SAR-PDU's, dan kunnen deze opeenvolgende SAR-PDU's modulo 16 genummerd worden; ontbreken van een SAR-PDU uit een reeks van 16 SAR-PDU's kan op deze wijze gedetecteerd worden.
5. *Multiplexing IDentifier (MID);*
   Dit veld biedt de mogelijkheid om binnen een ATM-verbinding te multiplexen.
6. *Priority (P);*
   Als laatste veld wordt het Priority-veld genoemd. Hiermee kunnen twee datastromen behorend bij een enkele MID-waarde onderscheiden worden. Dit kan aantrekkelijk zijn in het geval de gebruiker een kort en belangrijk bericht (bijvoorbeeld controle-informatie) wil versturen, terwijl hij juist bezig is een groot CPCS-PDU te verzenden. Dit korte bericht kan het verzenden van het grotere bericht dan tijdelijk onderbreken zonder dat het reeds verzonden gedeelte verloren hoeft te gaan.

4.3 CPCS-sublaag

Hierboven is al aangegeven dat de SAR-sublaag functionaliteit bevat om zowel bitfouten als verlies van SAR-PDU's te detecteren. Toch kunnen niet alle fouten worden herkend. De belangrijkste taak van de CPCS-sublaag is dan ook deze eventueel ongedetecteerde fouten alsnog te herkennen.

Als van een CPCS-PDU precies een veelvoud van 16 opeenvolgende SAR-PDU's verloren gaat, kan de SAR-sublaag dit niet herkennen (SN van de SAR-PDU telt modulo 16). Daarom is in de CPCS-sublaag het *Length*-veld opgenomen. Het Length-veld geeft de lengte van de gebruikersdata aan die in het CPCS-PDU wordt vervoerd.

Verder is het mogelijk dat door verlies van een veelvoud van 16 SAR-PDU's, waarbij tevens het laatste deel van het N^{de} CPCS-PDU en het begin van het $(N+1)^{de}$ CPCS-PDU verloren raakt, een geconcateneerde CPCS-PDU ontstaat die de lengte heeft van het originele $(N+1)^{de}$ CPCS-PDU (zie figuur 9). Om dit te kunnen detecteren is in de CPCS-PDU een *Btag* en een *Etag* opgenomen (zie figuur 10). Bij het verzenden hebben de Btag en de Etag dezelfde waarde en worden voor elk volgende CPCS-PDU opgehoogd met een. Als bij ontvangst blijkt dat deze waarden ongelijk zijn dan is genoemde fout opgetreden en dient de foutief geconstrueerde CPCS-PDU te worden weggegooid.



Figuur 10: CPCS-PDU structuur en codering

De overige velden van de CPCS-PDU structuur, zoals getoond in figuur 10, zijn niet bedoeld voor verdere foutdetectie. Hieronder volgt een korte beschrijving:

1. *Common Part Indicator (CPI);*
   Dit veld dient om onderscheid te maken tussen user-PDU's en management-PDU's. Tevens kan dit bijvoorbeeld de eenheden aangeven waarin de lengte en de BAsize worden aangegeven (in octetten of 32-bits woorden).
2. *BAsize;*
   De BAsize geeft aan hoe groot de betreffende CPCS-PDU maximaal is en is daarmee behulpzaam bij het reserveren van bufferruimte bij de ontvanger.
3. *ALignment field (AL);*
   Dit veld is toegevoegd om te zorgen dat er een 32-bits CPCS-Trailer ontstaat, hetgeen voordelig is in moderne hardware.
4. *PAD;*
   Dit veld is 0 tot 3 octetten lang om er voor te zorgen dat de totale CPCS-PDU een veelvoud is van 32-bits.

5. CONCLUSIES

Frame Relay en Asynchronous Transfer Mode zijn bekende vormen van Fast Packet Switching. Aangetoond is dat de samenwerking (interworking) tussen deze twee technieken mogelijk is. De vergelijking van Frame Relay en ATM stelt ons in staat een aantal functies te identificeren die door de AAL dienen te worden uitgevoerd om de interworking tussen deze twee technieken volledig te maken. Daarna is het deel van de AAL beschreven dat identiek is voor AAL-type 3 en 4, zoals die tot nu toe zijn door CCITT gestandaardiseerd en dat in principe dezelfde hogere laag-protocollen dient te ondersteunen als FR kan.

Frame Relaying functions to be supported by AAL 3/4:

error detection in data part	CRC in SAR sublayer
preservation of SDU	- segmentation/reassembly in SAR sublayer - length field in CPCS - PDU - Btag / Etag in CPCS - PDU
backward congestion notification	---> ?
transfer of one bit of user control info	---> ?
open issues: DE <---> CLP FECN <---> PT	

Figuur 11: Frame Relay functies die door AAL-type 3/4 moet worden geleverd

Het blijkt dat er nog enkele functies van FR niet voorkomen in de combinatie van ATM en de onderste twee sublagen van AAL-type 3 en 4. In figuur 11 wordt een en ander in een overzicht weergegeven. In figuur 11 zijn tevens de openstaande punten gegeven:

1. *Loss priority;*
   Dit veld is wel gedefinieerd in de ATM-PDU, het gebruik zoals FR dit doet is nog niet gestandaardiseerd.
2. *Forward Congestion Notification;*
   Ook hier is wel een codering van het PT-veld van de ATM-PDU gedefinieerd, maar dat deze functie door een ATM-netwerk wordt uitgevoerd, is nog niet definitief bevestigd.
3. *Backward Congestion Notification;*
   Deze functie zal zeker niet door het ATM-netwerk worden uitgevoerd. Deze functie, of anders de mogelijkheid om deze door een FR-netwerk gegenereerde informatie transparant door te geven, dient door de AAL te worden uitgevoerd.
4. *Transfer of one bit of user control information;*
   Hiervoor geldt hetzelfde als voor de Backward Congestion Notification.

5.1 Mogelijke oplossingen

De bovengenoemde openstaande punten kunnen op verschillende manieren worden ingevuld. Gebruikers kunnen echter niet (altijd) wachten op een *gestandaardiseerde* oplossing omdat de benodigde procedures daarvoor vaak veel tijd kosten. Zij genereren hun eigen oplossing(en). Als gevolg daarvan zijn er twee categorieën van oplossingen:

1. *"quick and dirty";*
   De eenvoudigste oplossing die snel kan worden geïmplementeerd is dat het FR-PDU volledig wordt ingepakt (*encapsulation*) als gebruikersdata in een CPCS-PDU. Dit heeft natuurlijk wel tot gevolg dat er een grote hoeveelheid functies dubbel worden uitgevoerd, hetgeen o.a. de bewerkingssnelheid reduceert.
2. *"nice and slow";*
   Hierbij wordt getracht de mooiste oplossing te bereiken door alleen die functies in de AAL op te nemen die niet door de ATM-laag worden uitgevoerd. Hiervoor dient eerst de discussie t.a.v. de openstaande punten m.b.t. het PT-veld en het CLP-veld te worden voltooid. Voor wat betreft het derde en vierde openstaande punt zou overeenstemming kunnen worden gezocht in het standaardiseren van twee bits hiervoor in de CPCS-PDU; zowel het CPI-veld als het AL-veld komen hiervoor in aanmerking.

5.2 Slotopmerking

Sinds het ontstaan van datacommunicatie heeft dit plaatsgevonden d.m.v. het uitwisselen van frames met variabele lengte. Er is geen reden te veronderstellen dat hierin verandering zal optreden.
Van de twee hier behandelde vormen van Fast Packet Switching sluit Frame Relay het beste aan op deze gebruikers wensen omdat het specifiek voor deze toepassing ontworpen is.
Daarnaast kan evenwel gesteld worden dat de trend in cell based netwerken gezet is; de flexibiliteit levert aantoonbare voordelen.

Daarom tot besluit twee uitspraken:

1. Datacommunicatie gaat 'framed'.
2. Datatransfer gaat 'cell based'.

REFERENTIES

[1] CCITT Recommendation X.25 - Interface between data terminal equipment (DTE) and circuit-terminating equipment (DCE) for terminals operating in the packet mode and connected to a public data network by dedicated circuit

[2] CCITT Recommendation I.122 - Framework for providing additional packet mode bearer services

[3] CCITT Recommendation Q.922 - Integrated Services Digital Network Data link layer specification for frame mode bearer services

[4] CCITT Recommendation I.361 - Broadband Integrated Services Digital Network Asynchronous Transfer Mode layer specification

[5] IEEE 802.6 - Distributed Queue Dual Bus (DQDB) subnetwork of a Metropolitan Area Network (MAN)

[6] Local Communication Systems: LAN and PBX, II
DQDB-ATM interworking aspects
T.D. Poelhekken, F. van den Dool and A.J.J. Kerkhof

[7] CCITT Recommendation I.362 - Broadband Integrated Services Digital Network Asynchronous Transfer Mode Adaptation layer (AAL) functional description

[8] CCITT Recommendation I.363 - Broadband Integrated Services Digital Network Asynchronous Transfer Mode Adaptation layer (AAL) specification

[9] CCITT Recommendation I.370 - Congestion management for the Integrated Services Digital Network Frame Relaying bearer service

Voordracht gehouden tijdens de 395e werkvergadering.

UIT HET NERG

LEDENMUTATIES

Voorgestelde leden

Ir. R. van Amstel, Postbus 18714, 2502 ES Den Haag
Ir. C.C. Blaas, G. Van Prinsterenlaan 67, 9722 PR Groningen
Ir. A.J. Frensch, Boutenslaan 177, 5654 AN Eindhoven
Dr. J.J. Goedbloed, Eversveld 10, 5662 HZ Geldrop
Ir. W.J. Holst, Vlindermeent 17, 1218 CS Hilversum
Ir. H.J. Huisman, Berg en Dalseweg 209 kamer 56, 6522 BK Nijmegen
Ir. P. Kastelein, Paulus Potterlaan 7, 3401 NC IJsselstein
Ir. E. Kooistra, Leppa 70, 9204 JH Drachten
Dr.Ir. J.P.M.G. Linnartz, 3001 Derbystreet Unit L Berkeley CA 94705 USA
Ir. W. Muijs, Goudvink 8, 3752 NP Bunschoten
Ir. A.H. Schaaf, Bastinglaan 1, 2514 GP Delft
Ing. J.F.H. Toussaint, Burg. van Deelensingel 56, 5941 BD Velden
Ir. R.L. van der Valk, Theresiastraat 4, 2628 GP Delft
Ir. A. Versluis, Annastraat 22, 7543 TP Enschede
G.J.A. Vogelaar, Klarinet 14, 3766 GT Soest

Nieuwe Leden

Ir. P.G.M. Baltus, Estherdal 14, 5551 BL Valkenswaard
Ing. J.J. van Bree, Ch. Leickertstraat 17, 1062 BB Amsterdam
Ir. G.M.J. Havermans, Borneostraat 22, 3742 DB Baarn
Dr. T.A.Th. Spoelstra, Bieleveldlaan 5, 7986 HR Hoogeveen

Nieuwe adressen van leden

Ir. E.A. de Boer, Nieuwe Parklaan 128, 2587 BW Den Haag
Ir. J. Bruijn, Waldeck Pyrmontstraat 17, 7315 JG Apeldoorn
Prof.Dr.Ir. G. Brussaard Venbergsemolen 253, 5612 DZ Eindhoven
Ir. J. van Bruggen, Noordelijke Esweg 235, 7558 MZ Hengelo
E. de Groot, Polakkers 21, 9528 RD Buinen
P.C.M. van der Jagt, Korenbloem 93, 6922 GM Duiven
Ir. K. Fischer, Graanhoven 215, 1103 LD Amsterdam Z.O.
Prof.Dr.Ir. A.T. de Hoop Korenmolen 17, 2661 LE Bergschenhoek
Ir. A. de Kooter, Binnenpolderweg 10, 2807 LB Gouda
Dr. H.K. Leonard, Dragonstraat 54, 9731 JN Groningen
W.J.H.M. Lippmann, Bouvigne 49, 5653 LG Eindhoven
Ir. R.F.J. Schaffels, Kon. Julianalaan 207, 2273 JE Voorburg
B.J.M. Vernooij, Hoofdstraat 39, 6061 CA Posterholt
Ir. W.T.E. Vaessen, Noord-Buitensingel 41 A, 5911 EL Venlo
Ir. F.R. Wunderlich, C.D. Tuinenburgstraat 90, 3078 GG Rotterdam

FAST PACKET SWITCHING

Door G.W. Klocek
AT&T Network Systems Nederland

1. Accelerating Evolution of Needs

Remaining competitive in today's information-intensive business environment requires the management and communication of an ever-increasing quantity and variety of information. This ongoing explosion of information diversity produces ever-changing communications needs, which in turn will shape the evolution of communications networks in ways which we cannot now fully foresee. Today's environment challenges network providers to deploy networks which cost-effectively meet the current needs of their customers, while simultaneously maintaining the ability to evolve the network in whatever directions may be required to continue to meet to their customers needs in the future.

2. AT&T Network Systems Approach

AT&T Network Systems is using its experience and expertise in telecommunications to enable network providers to meet the current needs of their customers, while simultaneously undertaking activities to prepare for future needs. AT&T Network Systems activities include extensive research and development in broadband technologies, participation in broadband trials, extensive contributions to broadband standards efforts, and experimentation with new broadband services. As a result of this work, AT&T Network Systems has defined a Broadband Networking Architecture which enables network providers to meet the challenges of today's environment while providing a flexible framework for meeting tomorrow's network requirements.

This architecture, based on open interfaces and international standards, provides a full end-to-end broadband networking solution.

The two key attributes of the Broadband Networking Architecture are evolvability and flexibility. The evolutionary framework encompasses a flexible set of current broadband products and establishes the base for a responsive evolution of future network capabilities.

The emphasis on flexibility allows the AT&T Network Systems Broadband Networking Architecture to adapt to the needs of individual network providers, and to adjust if those needs change. Each element of the architecture has been designed to handle a wide variety of service needs, and the architecture as a whole multiplies the flexibility of the elements.

The emphasis on flexibility is complemented and reinforced by the emphasis on evolvability. A key advantage of the AT&T Network Systems evolutionary approach is that **advanced capabilities and high capacity equipment are deployed only as they are needed and in the capacities needed.**

This "just-in-time" approach to the deployment of new network capabilities offers cost and efficiency advantages for network providers.

This approach allows the network evolution to be driven by the ongoing evolution of the needs of the market, both to provide new revenue-generation services and to provide a flexible, efficient, and easily reconfigured broadband network infrastructure.

3.1 Flexible and Adaptable Elements

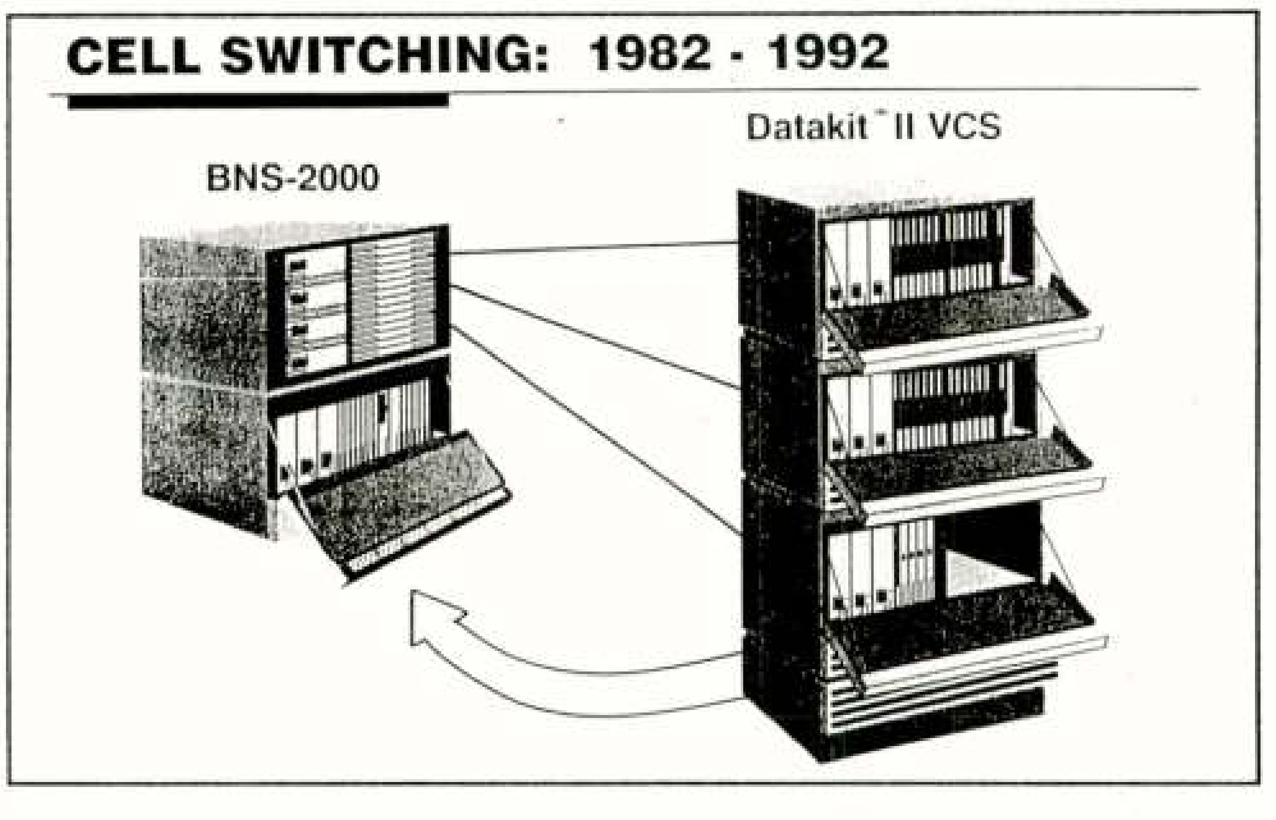
The AT&T Network Systems Broadband Networking Architecture is based on an evolving set of technologies and products. The initial cell-based Data Switching product was Datakit VCS which was introduced in the early 1980's. This product provides cell-based switching of many varied protocols including ASYNC, SYN, X.25 Lan-based protocols and most recently frame relay.

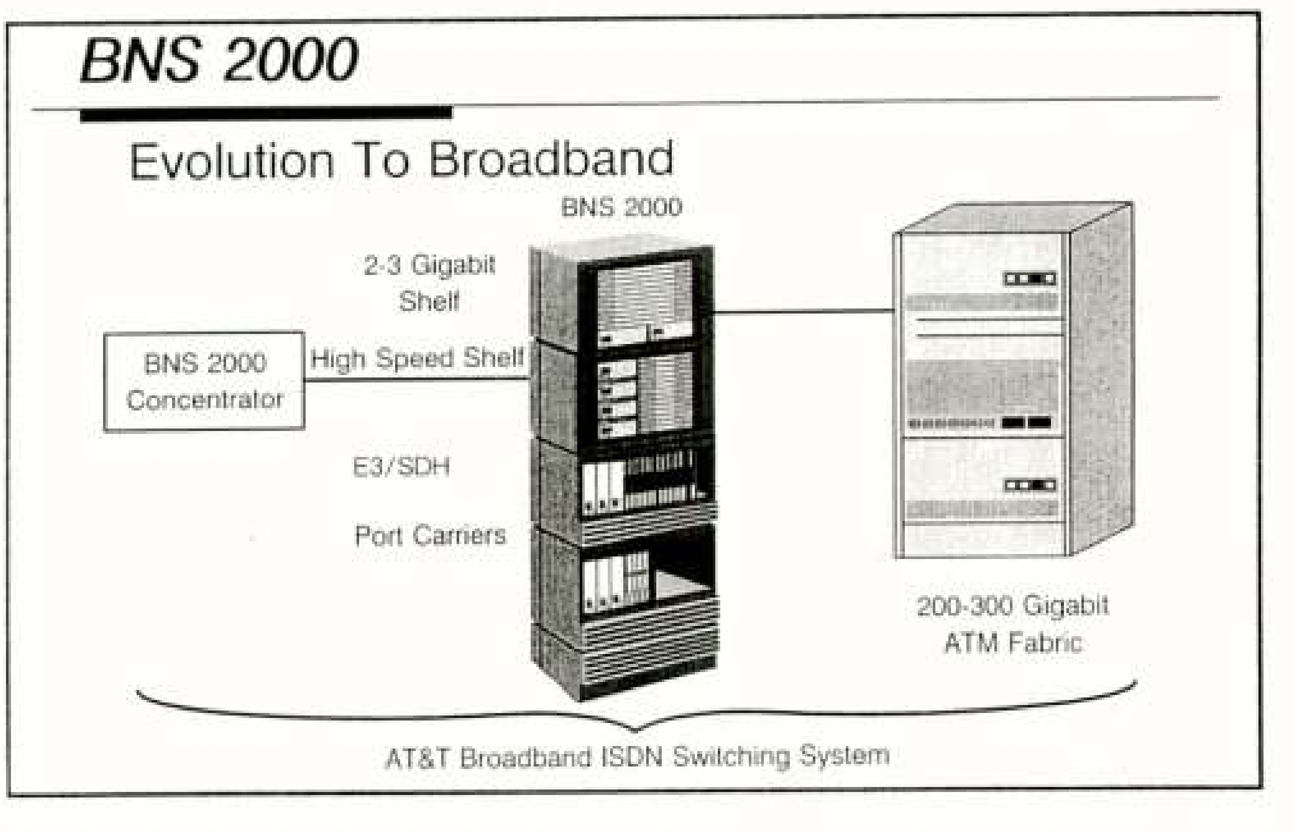
The next cell-based element of the Broadband Networking Architecture is the BNS-2000 Broadband Networking Family, which has been designed to meet growing customer needs for high speed data communications networking. The BNS-2000 Family is focused on cost-effectiveness at the data rates needed by current customers, and will continue to serve these data rates as an element in the evolving network architecture. It uses an ATM-based bus to provide a unified platform for a wide range of communications services, including ATM-based Switching Multi-megabit Data Services (SMDS), ETSI Connectionless Broadband Data Services (CBDS), Frame Relay, and other data communications services.

The BNS-2000 is designed to be deployed in a wide variety of logical and physical network configurations, including ring and mesh architectures.

3.2 Subsequent Elements

In later phases, the Broadband Networking Architecture will incorporate new technologies to provide additional capabilities such as isochronous services, connection-oriented cell-switching services, and higher capacity transport and switching. New elements will work together with previously available BNS-2000 nodes and SDH transmission systems to provide a full range of integrated broadband services.





Interface and Service Stage

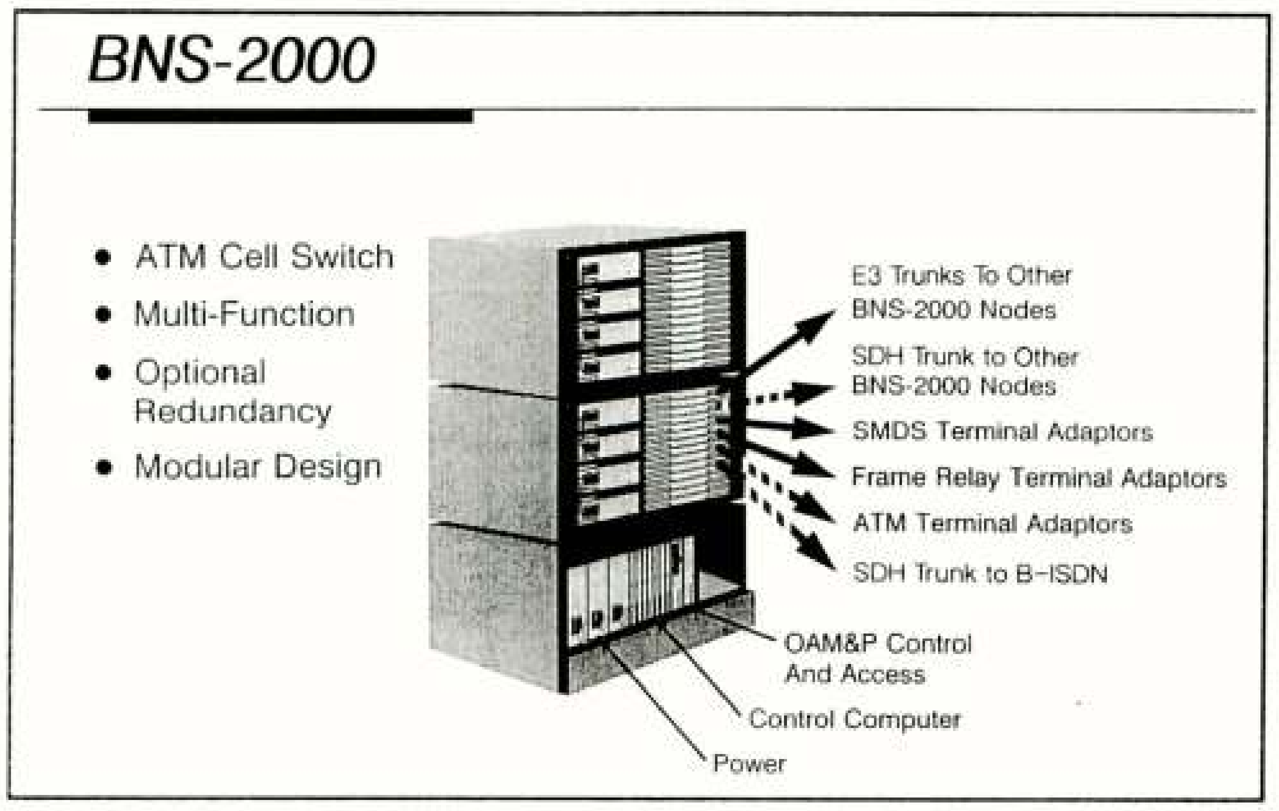
The primary function of the next range of products is to support ATM-based broadband services, carried over access and trunk facilities ranging from 34 Mbps through 2.5 Gbps. This range, in combination with the BNS-2000, provides the flexibility to cost-effectively handle interfaces carrying a wide range of services and traffic types. This will allow network providers to adapt their network architectures to continue to meet the evolving needs of their customers, by deploying easily growable modules which can revise much of the earlier installed hardware.

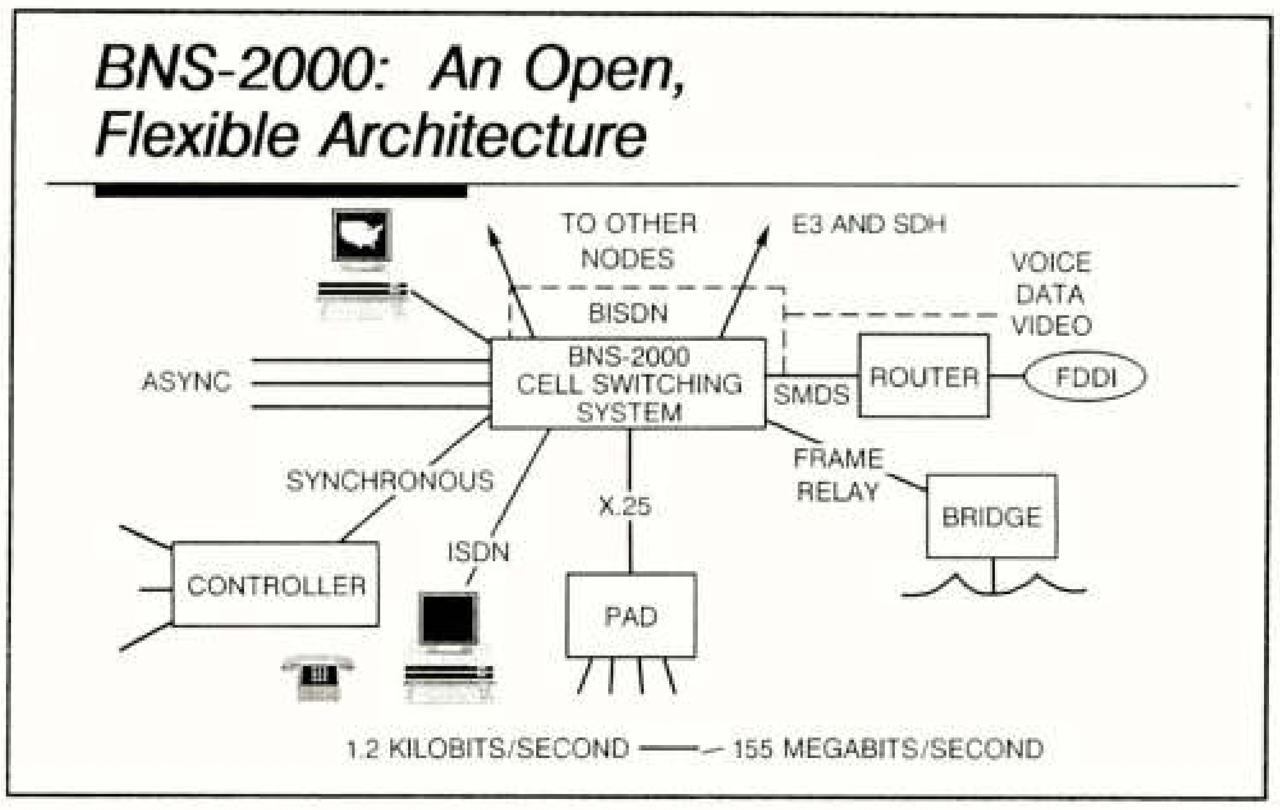
Virtual Path/Virtual Channel Interconnect Stage

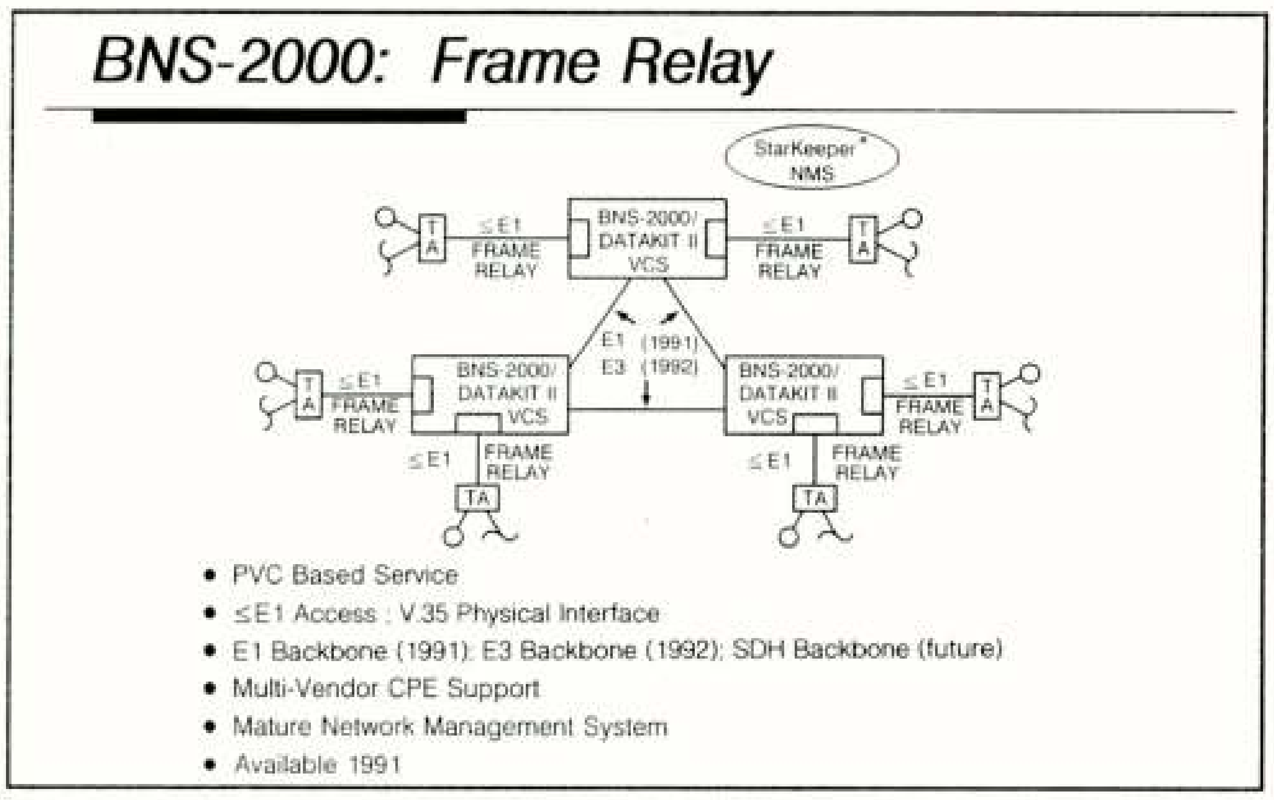
A new core capability called the VP/VC Interconnect Stage provides a fault-tolerant, redundant, growable and modular architecture for ultra-high-capacity ATM cell switching. The VP/VC Interconnect Stage will provide ATM cell switching between lines operating at an STM-16c equivalent ATM cell rate (approximately 2.5 Gbps). The VP/VC Interconnect Stage uses Shared Memory Modules and Cell Distribution Modules to grow from small to very large configurations while retaining near-ideal performance characteristics.

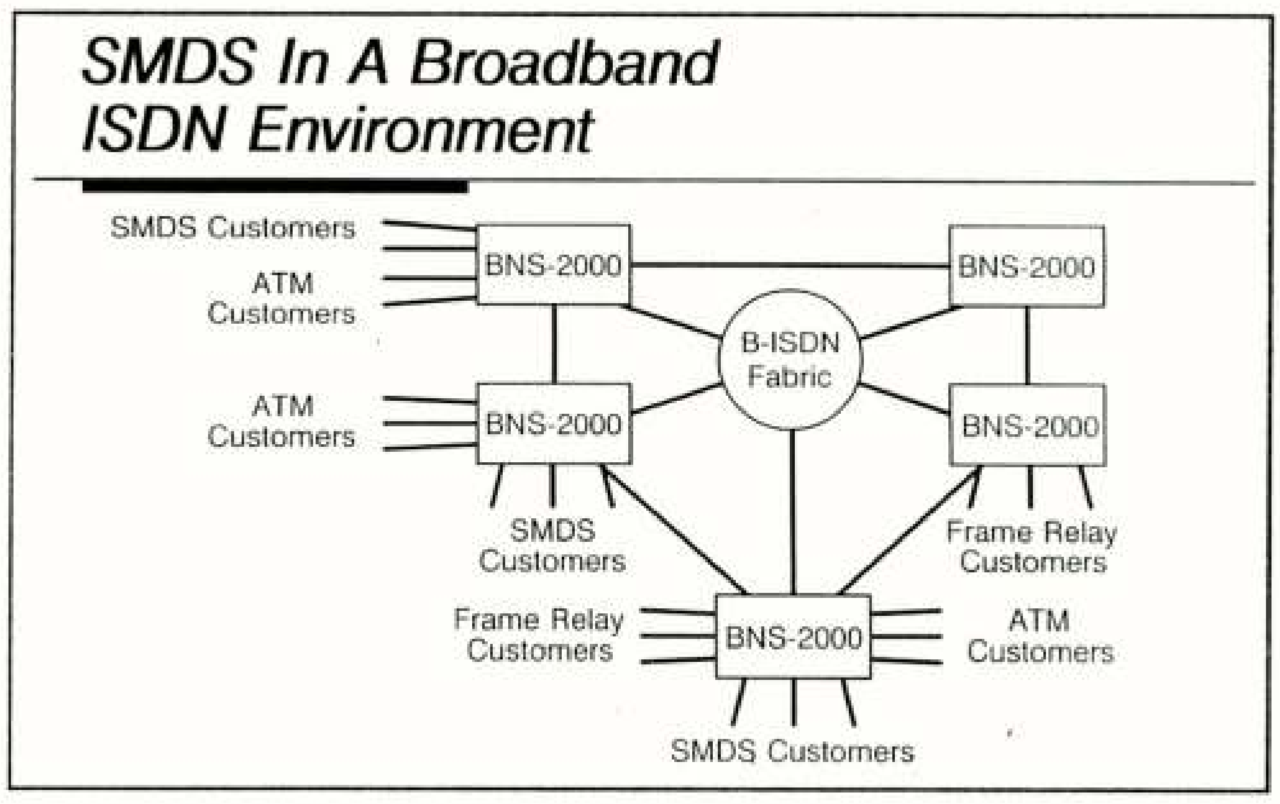
The Shared Memory Module provides cell switching functions through a shared output buffer memory technique. One of the advantages of this switching technique is that it requires only a small fraction of the total buffer memory that would be required if separate dedicated queues were maintained for each output. Early versions of the BNS-2000 similar to the prototype demonstrated at Telecom '91, are being used in trials and experiments with multiple network providers.

AT&T Network Systems is committed to continue to use the strengths of its technology to provide cost-effective, flexible, and evolvable solutions to the telecommunications challenges of today and tomorrow.









Voordracht gehouden tijdens de 395e werkvergadering.

Conferentie-aankondigingen

Studiedag Sitel: De satelliet Olympus, 17 juni 1992, U.C.L. Auditorium Sainte Barbe, Louvain - La - Neuve, België.
Contactadres: Ir. C. Vyncke – U.C.L.
Tel. 010 - 47 23 15; Sitel, tel. 02 - 384 40 94.

International Conference on Data Transmission, 23-25 September 1992, Savoy Place, London.
Contactadres: Miss Jane Chopping, IEE, Savoy Place, London WC2R OBL U.K. Tel. 071 240 1871. Ext. 222 Engeland.

9th Optical fibers sensors conference, 4-6 May 1993 Florence, Italy.
Contactadres: Mr. G. Lucchini, Director AEI, Viale Monza 259, 20126 Milan, Italy. Tel. ++ 39 2 25 50 641.

19th European conference on optical communication, 12-16 September 1993, Montreux, Switzerland.
Contactadres: Prof. R.P. Salathé, EPF Ecublens, CAL, CH-1015 Lausanne, Switzerland. Tel. + 41 21 693 33 38.

Concept programma NERG 1992

WV 401
2 juni – middagbijeenkomst
Koordloze telecommunicatie
Emmen

WV 402
9 juni – middagbijeenkomst
Het GSM systeem voor paneuropese autotelefonie
TUD, Delft

WV = werkvergadering, uitsluitend voor NERG-leden;
WV+ = werkvergadering, voor NERG-, AES- en IEEE-leden;
WB = werkbezoek, uitsluitend voor NERG-leden;
JV = jaarvergadering, uitsluitend voor NERG-leden;
SMR = seminar.

Tijdschrift van het Nederlands Elektronica- en Radiogenootschap

Inhoud

deel 57 – nr. 2 – 1992

Druk: de Witte, Eindhoven.